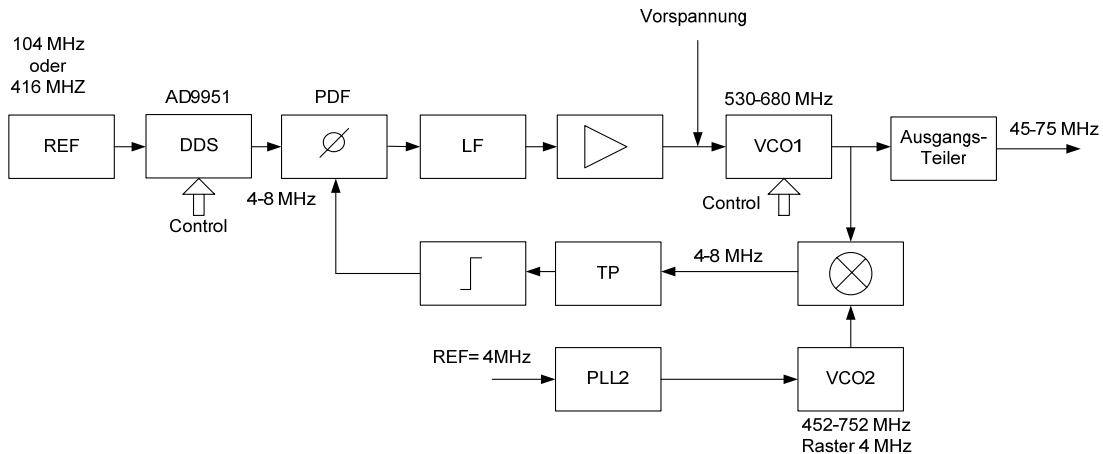


### 3. Zwischenbericht Synthesizer Bavarix

#### 1. Allgemeine Überlegungen

Im letzten Bericht (2. Zwischenbericht Synthesizer Bavarix) habe ich angekündigt einen Synthesizer mit einem Mischer in der PLL-Hauptschleife und einer zweiten PLL als LO für diesen zu untersuchen.

Das Blockschaltbild : Synthesizer mit Mischer in der PLL-Hauptschleife



Synthesizer mit PLL und Mischer mit 2. PLL

Zu klären gilt die Frage ob sich der Aufwand für eine 2. PLL-Schaltung und eine zusätzlich notwendige Vorspannungserzeugung für die Regelschleife bei Frequenzwechsel lohnt. Diese muss gewährleisten, dass das Mischprodukt in der richtigen Lage zum Phasenvergleich angeboten wird. Im vorliegenden Fall muss  $F_{VCO1} > F_{VCO2}$  sein. Durch vertauschen der Signale an den Eingänge REF und VCO kann die Polarität geändert werden.

Im eingeschwungenen Zustand ist  $F_{OUT} = F_{VCO1}/M = (F_{VCO2} + F_{REF})/M$  mit  $F_{VCO2} = N \cdot F_{REF2} = N \cdot 13 \text{ MHz}$ .

In den vorangegangenen Untersuchungen konnte man sehen, dass das Phasenrauschen hauptsächlich vom Diskriminator (PLL\_IC) und den N-Teiler (Multiplikation des Phasenrauschen der Referenz) und der Referenz selbst abhängig ist.

Zur Erinnerung die bisher erreichten Messergebnisse des Phasenrauschen:

Design1:PLL mit ADF4002 und  $N=32$   $F_{OUT} = 600 \text{ MHz}$ : -103 dBc/Hz (1-10 kHz)

Design2:PLL mit HMC3439QS16,  $N=32$  : gemittelt -107 dBc/Hz

Um den höheren Aufwand zu vertreten, sollte ein Wert von -110 dBc/Hz zum Ziel gesetzt werden.

Aus dem Blockschaltbild ist zu erkennen, dass mit der Einführung des Mixers der N-Teiler entfällt und kein Beitrag liefern kann, dafür aber die PLL2 für das

Phasenrauschen bestimmend wird, d. h. die PLL2 muss diese Werte für sich erreichen.

Damit stellt sich sofort die Frage nach der Rasterwahl, denn auch hier gilt, je kleiner der N2-Teiler, desto besser das Phasenrauschen.

Aus früheren Messungen erinnern wir uns, dass für die variable Referenzerzeugung mit dem DDS die Frequenz kleiner 20 MHz sein sollte um Nebenlinien gering zuhalten.

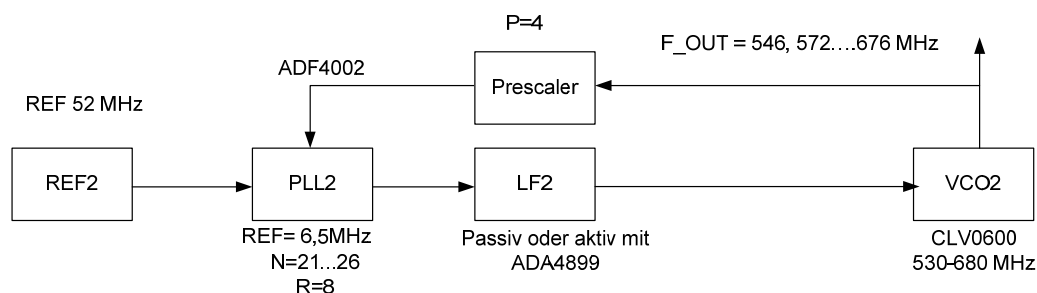
In meinem System stehen zur Referenzerzeugung Festfrequenzen von 104 MHz, 52 MHz und 32.768 MHz zur Verfügung (s. Handbuch Teil A), daraus sich Rasterabstände von 4 bis 26 MHz beliebig einstellen lassen (z. B.: 4; 6,5; 8; 8,192; 10,4; 13; 26 ). Wie man gleich sehen kann, hat ein kleines Raster einen größeren N-Teiler zur Folge und damit höheres Phasenrauschen, ein größeres Raster birgt die Gefahr von mehr Nebenlinien im DDS. Es wurden Versuche mit einer Rasterung von 8,192 MHz, 10,4 MHz sowie 13 und 26 MHz durchgeführt.

## 2. Test-Aufbauten für PLL2

### 2.1 PLL2 mit ADF4002

Aus früheren Tests mit diesem PLL-Chip war zu sehen, dass Simulation und Praxis nicht übereinstimmen und deshalb zu erwarten ist, dass die Forderung von -110 dBc/Hz nicht zu erreichen sein wird. Nachteilig ist hier auch, dass die Eingangsfrequenz nur etwa 350 MHz beträgt und somit ein Vorteiler benötigt wird.

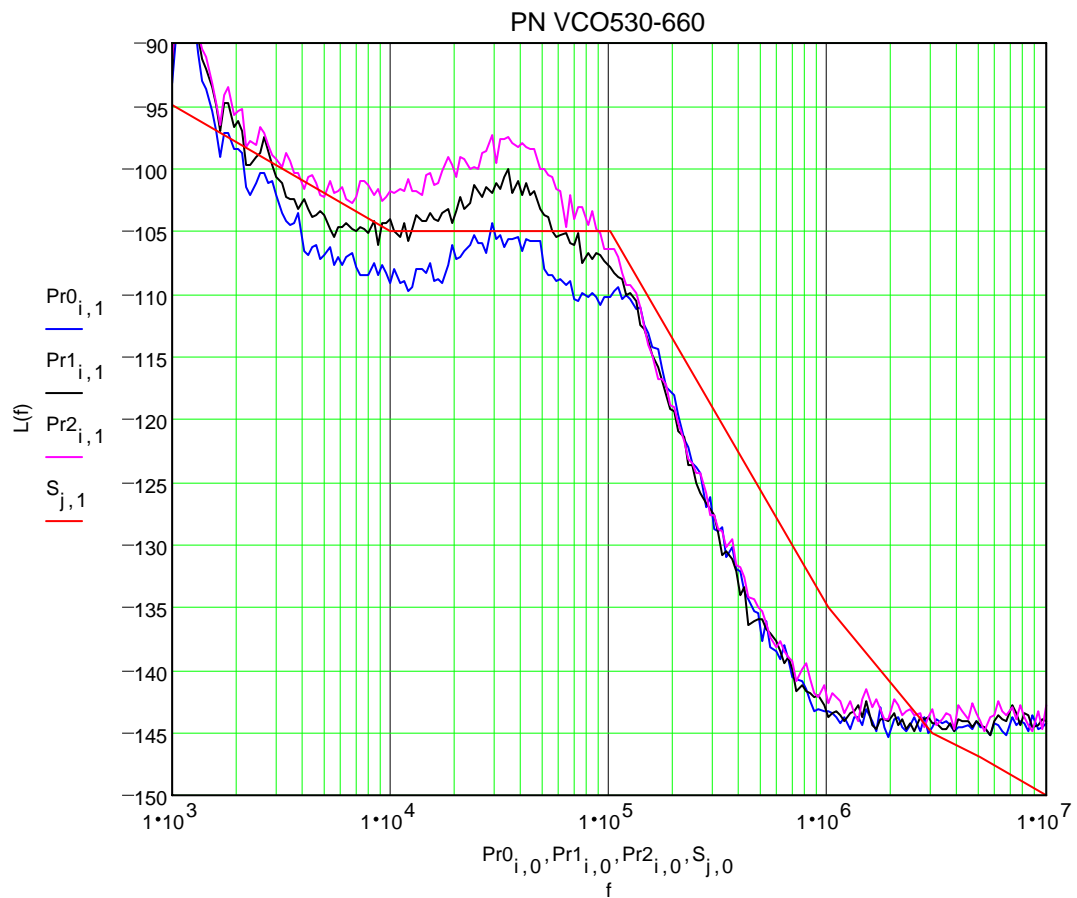
#### 2.1.1 Prinzip



## 2.1.2 Ergebnis Phasenrauschen

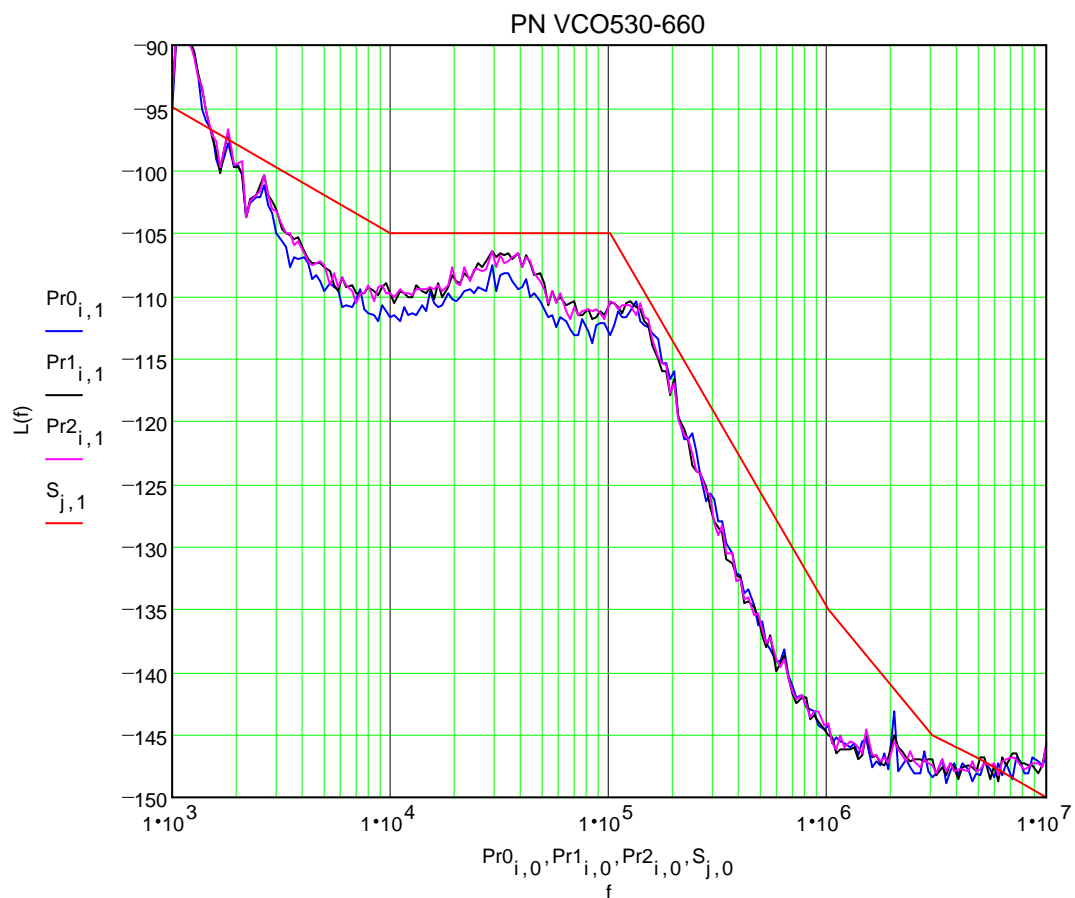
### 2.1.2.1 Passives Loopfilter

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
PLL mit ADF4002 und Prescaler  $N=4$   $F_{REF} = 52\text{ MHz}$   
Channel-Spacing = 26 MHz, LF:  $C1= 3,3\text{ nF}$ ;  $R1=490$ ;  $C2\ 4,7\mu\text{F X5R}$   
 $F1 = 546\text{ MHz}$ ,  $F2 = 624\text{ MHz}$ ,  $F3 = 676\text{ MHz}$



### 2.1.2.2 Aktives Loopfilter mit ADA4899

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL mit ADF4002 und  $F_{REF} = 52\text{ MHz}$  Channel-Spacing = 26 MHz  
 Prescaler  $N=4$  AD9513, LF mit ADA 4899\_1  
 $F1 = 520\text{ MHz}$ ,  $F2 = 546\text{ MHz}$ ,  $F3 = 598\text{ MHz}$



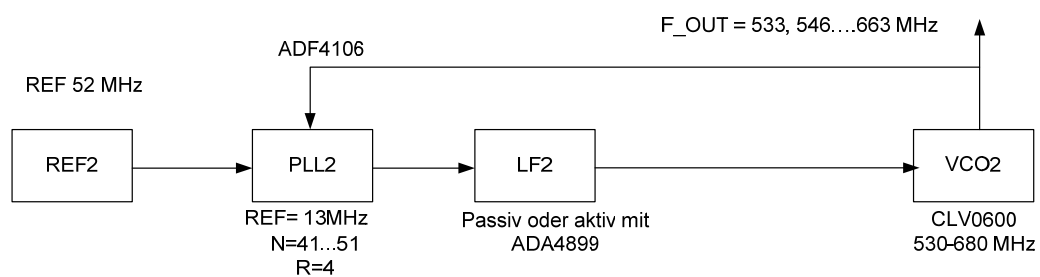
### 2.1.3 Zusammenfassung für ADF4002

Der ADF4002 hat nach Datenblatt die beste Phase Noise Performance (Normalized Noise Floor Performance:  $-222\text{ dBc/Hz}$ ), deshalb habe ich diesen PLL-Baustein für alle Synthesizer-Untersuchungen einbezogen. Mit einem aktiven Loopfilter sind etwa  $-110\text{ dBc/Hz}$  zu erreichen, allerdings nur mit einem Raster von 26 MHz. Außerdem muss ein Vorteiler verwendet werden, was zusätzlicher Aufwand bedeutet.

## 2.2 PLL 2 mit ADF4106

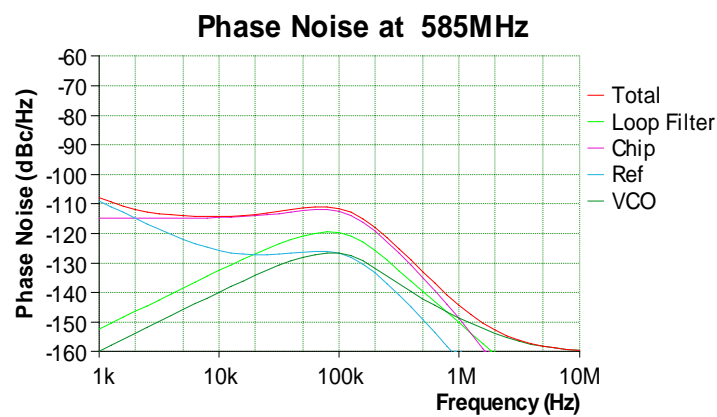
Dieser PLL-IC hat ähnliche Funktionen und gleiches Gehäuse, zusätzliche Vorteile und bis 6GHz einsetzbar.

### 2.2.1 Prinzip



### 2.2.2 Phasenrauschen

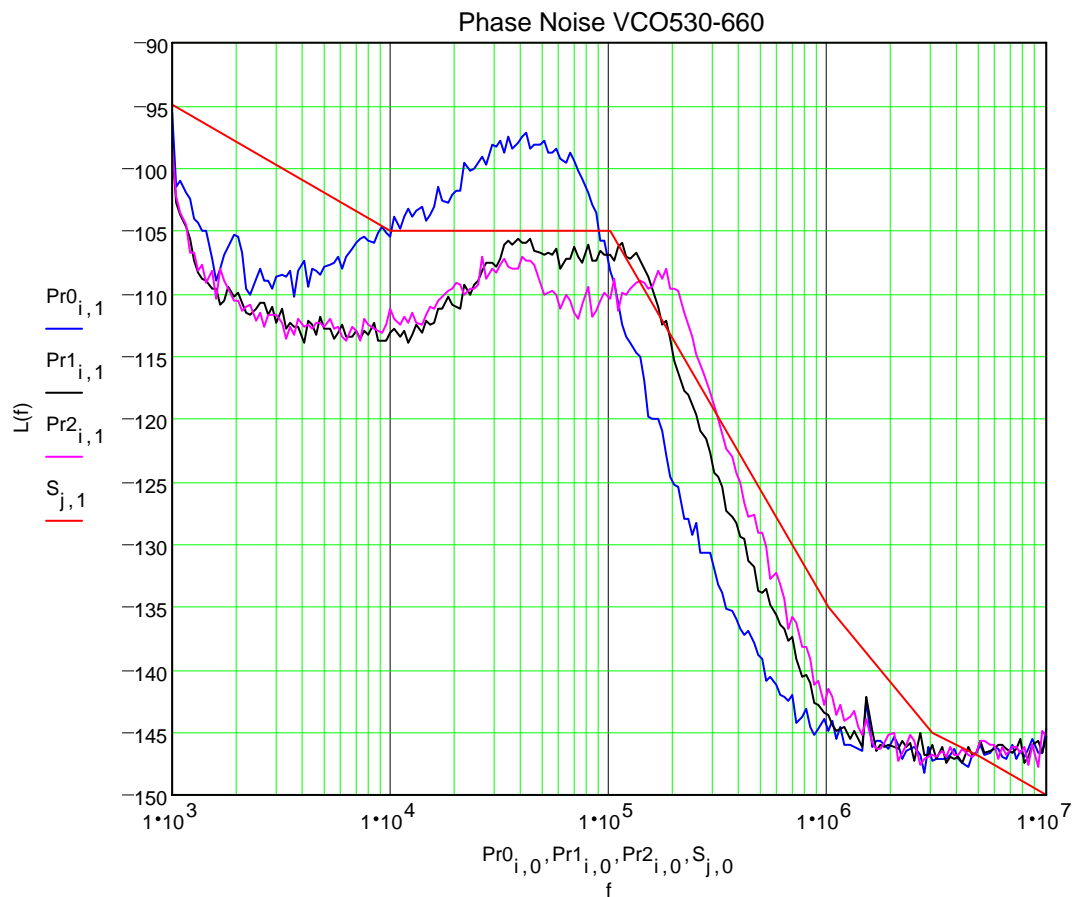
#### 2.2.2.1 Simulation



Simulation mit ADIsimPLL ergibt besser -110 dBc/Hz bei einer Loopbandbreite von 100 kHz.

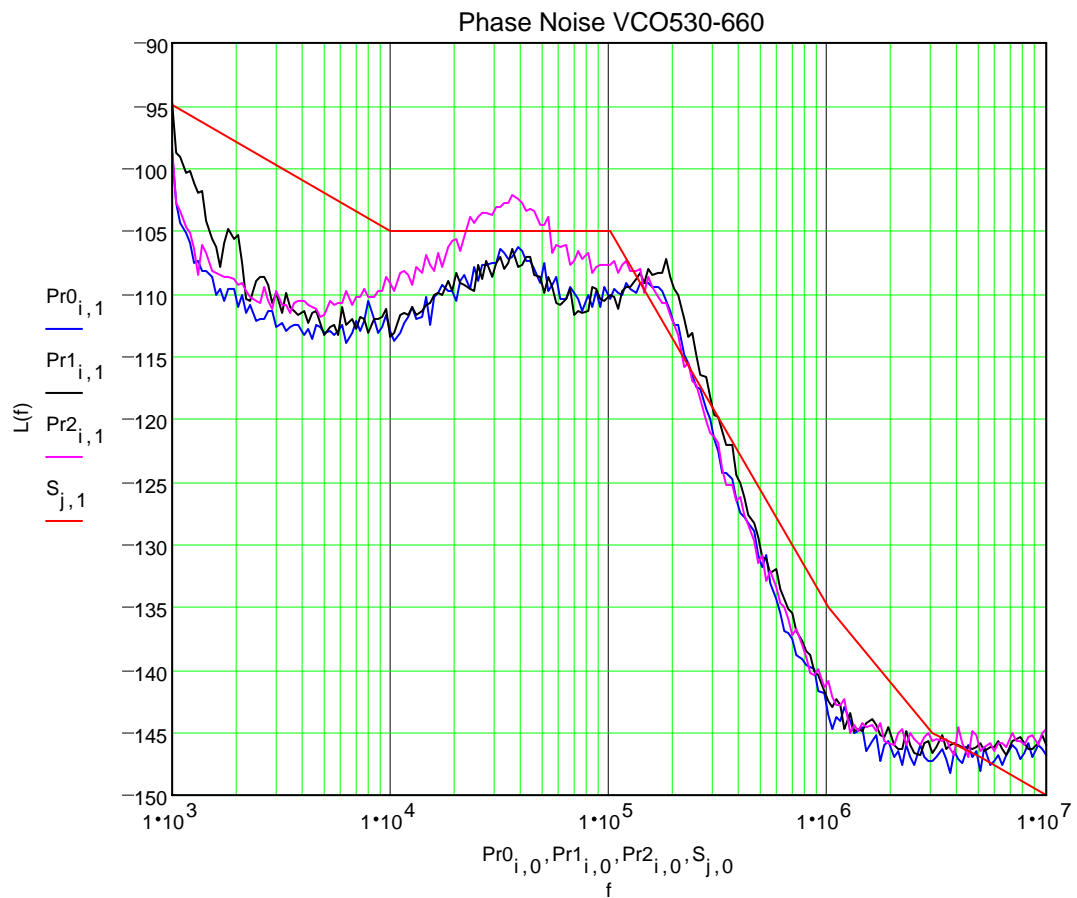
### 2.2.2.2 Messergebnis mit verschiedenen Loopfilter

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530\text{-}660\text{MHz}$ ,  
Ref = 52 MHz PLL = ADF4106;  
 $F_{REF} = 52\text{ MHz}$ , Channel-Spacing = 13 MHz, VCO-Step = 13 MHz,  
 $F_{OUT} 585\text{ MHz}$ , verschiedene LOOPFILTER  
 $F_{GR1} = 50\text{ kHz}$ ,  $F_{GR2} = 100\text{ kHz}$ ,  $F_{GR3} = 150\text{ kHz}$



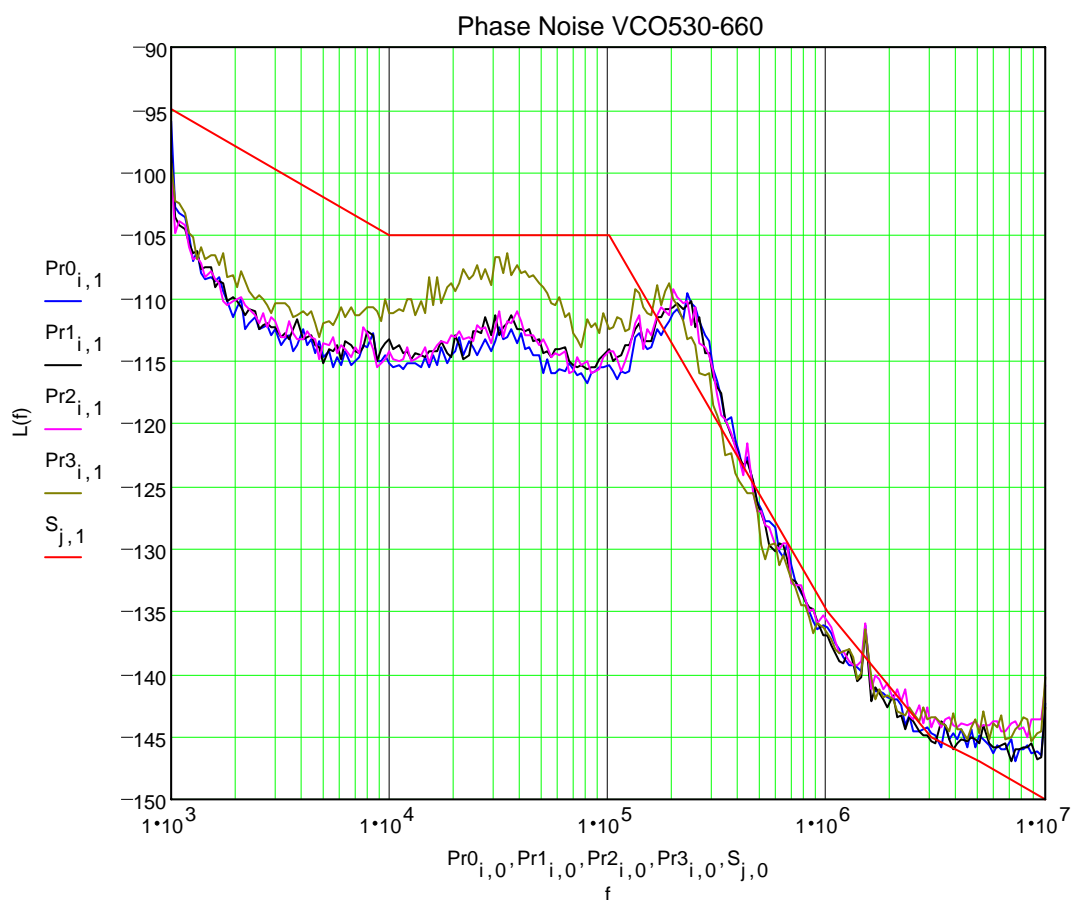
### 2.2.2.3 Messergebnis mit verschiedenen CP-Strömen

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$ ,  
Ref = 52 MHz PLL = ADF4106;  
 $F_{REF} = 52\text{ MHz}$ , Channel-Spacing = 13 MHz, VCO-Step = 13 MHz,  
LPF 150 KHz: C1 = 560 pF; R1 = 562; C2 = 15,6 nF; R2 = 1k; C3 = 220 pF  
F1 = 533 MHz, N = 41, CP = 4,25 mA  
F2 = 585 MHz, N = 45, CP = 4,375 mA  
F3 = 650 MHz, N = 50, CP = 5,0 mA



### 2.2.2.4 Messergebnis mit aktivem Loopfilter

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL2 mit ADF4106,  $F_{REF} = 52\text{ MHz}$ , Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899,  $C1 = 3,3\text{ nF}$ ,  $R1 = 422$ ,  $C2 = 47\text{ nF}$   
 $F1 = 533\text{ MHz}$ ,  $F2 = 585\text{ MHz}$ ,  $F3 = 624\text{ MHz}$ ,  $F4 = 663\text{ MHz}$



### 2.2.3 Zusammenfassung ADF4106

Mit diesem Chip und einem aktiven Loopfilter sind für ca. 90% des für unseren Bavarix benötigten Frequenzbereichs Phasenrauschwerte zwischen -110 und -115 dBc/Hz zu erreichen, was nach dem Ausgangsteiler (Faktor 10) besser -130 dBc/Hz bedeuten. Somit wäre unsere Spezifikation für den Bavarix erfüllt, wenn das gesamte Design, wie oben skizziert, dann auch so funktionieren würde.



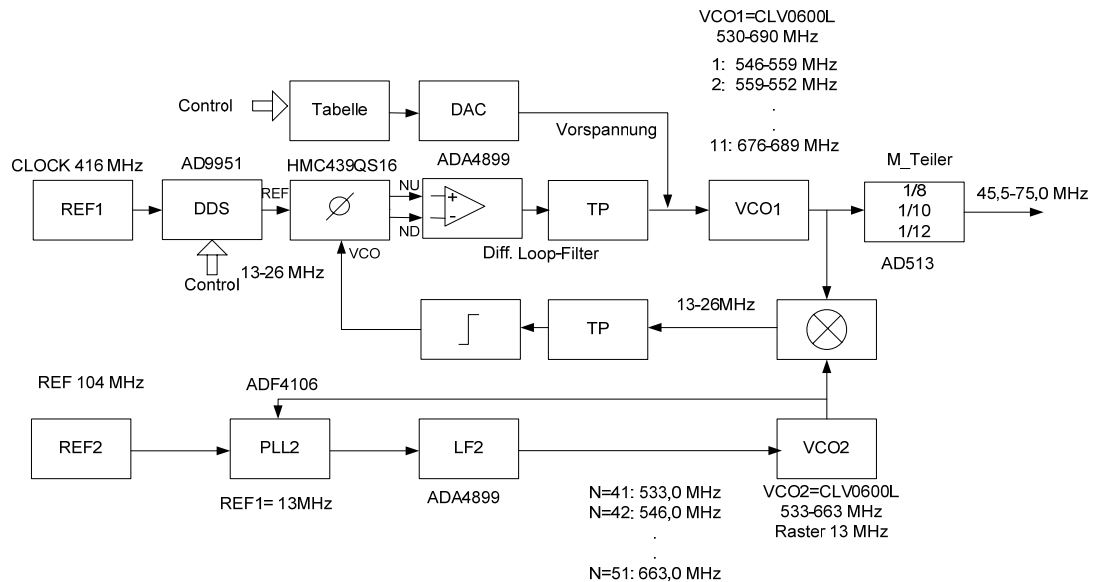
## **2.3 PLL 2 mit diskreten Phasendiskriminator**

### **In Vorbereitung**

Die Simulation zeigt auch hier dass der Phasenrauschanteil des Chips den Gesamtwert bestimmt, deshalb habe ich noch einen mit diskreten Flip-Flops realisierten PFD vorbereitet.

### 3. Messergebnisse Bavarix-Synthesizer (Laboraufbau)

#### 3.1 Aktuelles Design



Low Noise Synthesizer für Bavarix

Die einzelne Blöcke dieses Designs habe ich aktuell in Modulbauweise realisiert.

Die einzelne Module sind sowohl Testboards der Herstellers als auch selbst angefertigte Einzelplatinen. Nicht eingezeichnet sind Spannungsversorgungsmodule, Verstärker und Dämpfungsglieder. Die Programmierung des DDS und der PLL2 erfolgt mittels PC und Testsoftware der Hersteller.

Die Realisierung der Vorspannung erfolgt mit einem Spannungsgenerator durch kurzzeitiges Anlegen einer Gleichspannung im zu erwarteten Regelspannungsbereich des VCO1.

## 3.2 Messergebnisse Phasenrauschen

### 3.2.1 PLL2 mit Frequenz-Raster 13 MHz

Phase Noise Synthesizer Bavarix Design1 mit Mixer

PLL1:

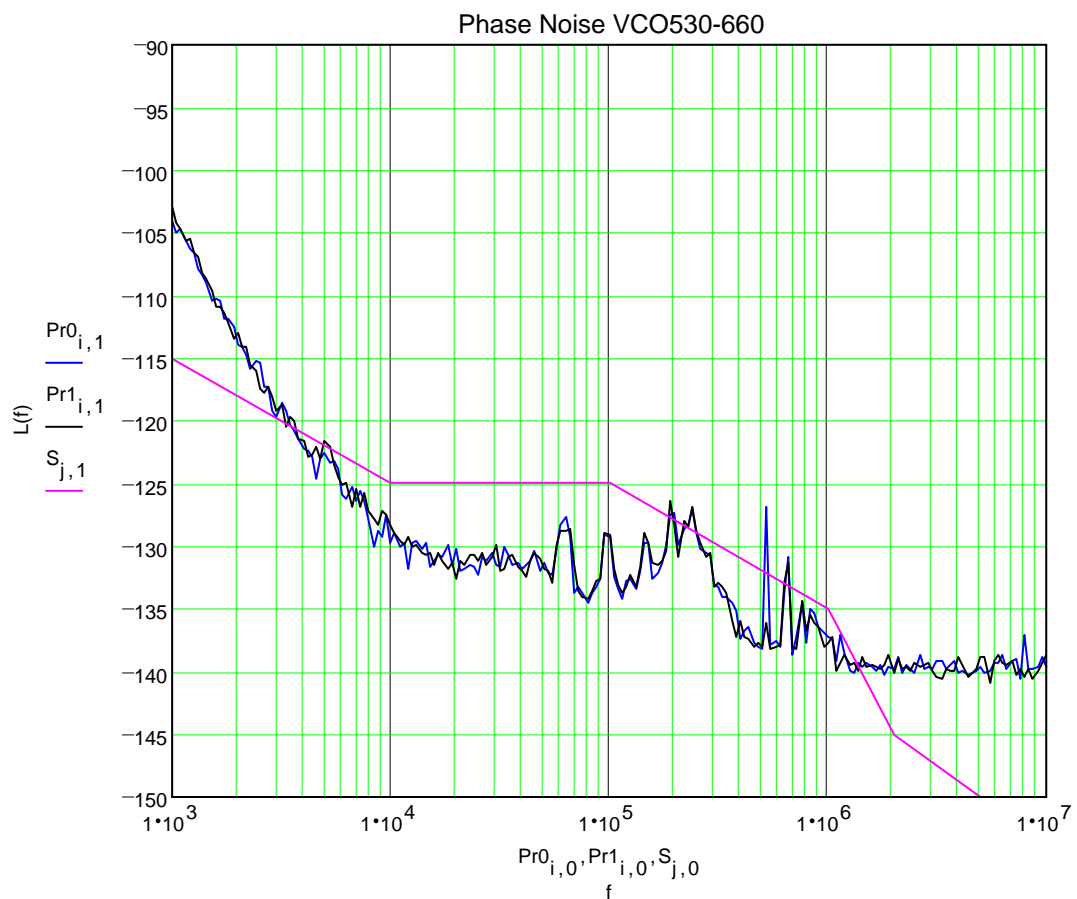
ZCOMM CLV600A-LF, F\_VCO=530-660MHz, PLL = HMC439QS16,  
F\_REF1 = 13MHz, F\_REF2 = 26 MHz mit DDS 9951

PLL2:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz,  
PLL = ADF4106, Step :13 MHz, F\_VCO2 = 533 MHz

Ausgangsteiler AD513 : N=10

F\_OUT1 = 54,62 MHz, F\_OUT2 = 56,00 MHz

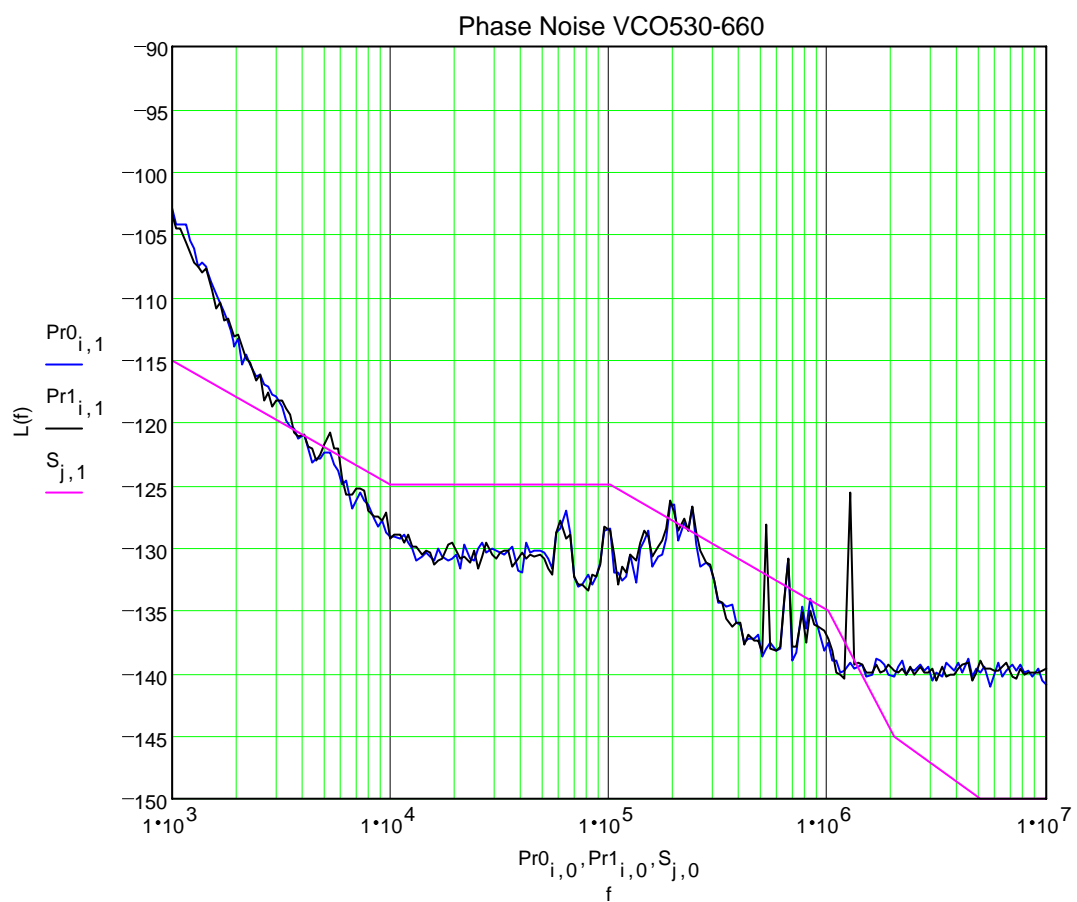


## Phase Noise Synthesizer Bavarix Design1 mit Mixer

PLL1:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz, PLL = HMC439QS16,  
F\_REF1 = 13MHz, F\_REF2 = 26 MHz mit DDS 9951

PLL2:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz,  
PLL = ADF4106, Step :13 MHz, F\_VCO2 = 598 MHz  
Ausgangsteiler AD513 : N=10  
F\_OUT1 = 61,20 MHz, F\_OUT2 = 63,75 MHz

## Phase Noise Synthesizer Bavarix Design1 mit Mixer

PLL1:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz, PLL = HMC439QS16,

F\_REF1 = 13MHz, F\_REF2 = 26 MHz mit DDS 9951

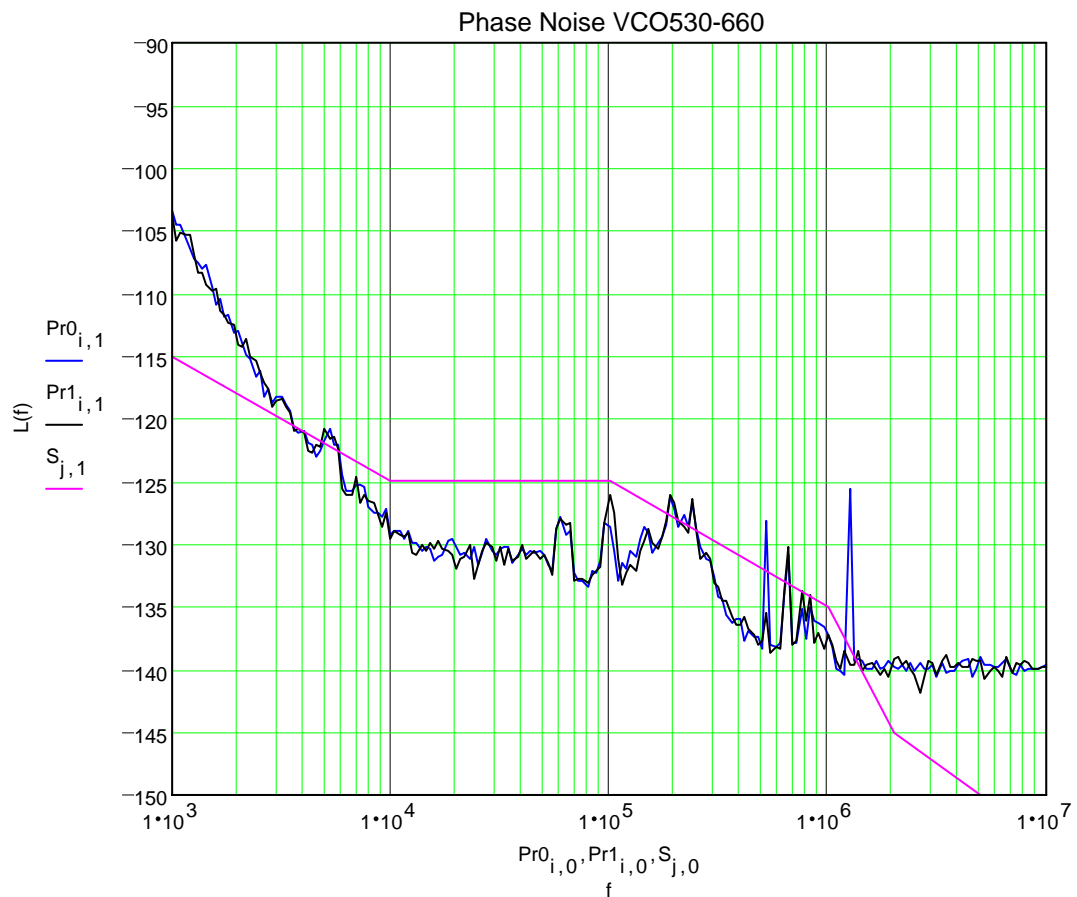
PLL2:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz,

PLL = ADF4106, Step :13 MHz, F\_VCO2 = 624 MHz

Ausgangsteiler AD513 : N=10

F\_OUT1 = 63,75 MHz, F\_OUT2 = 65,10 MHz

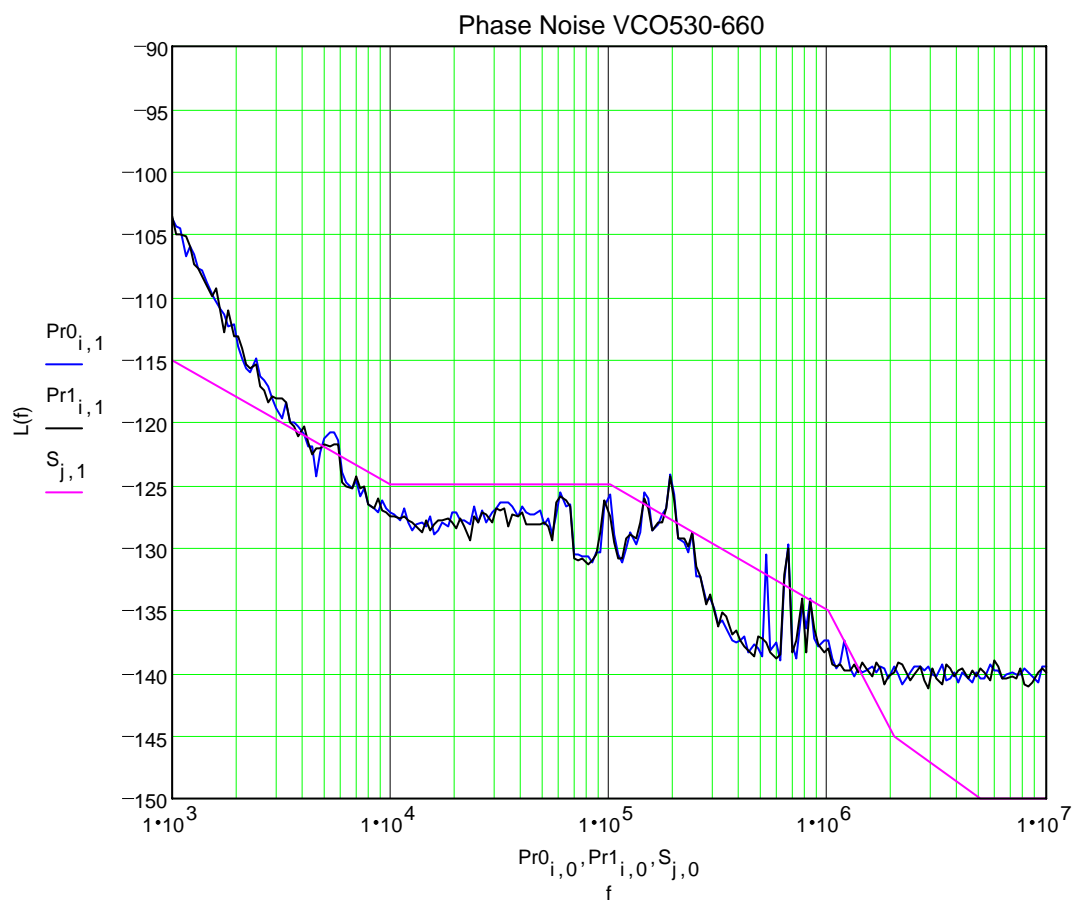


## Phase Noise Synthesizer Bavarix Design1 mit Mixer

PLL1:

ZCOMM CLV600A-LF,  $F_{VCO}=530\text{-}660\text{MHz}$ , PLL = HMC439QS16,  
 $F_{REF1} = 13\text{MHz}$ ,  $F_{REF2} = 26\text{MHz}$  mit DDS 9951

PLL2:

ZCOMM CLV600A-LF,  $F_{VCO}=530\text{-}660\text{MHz}$ ,  
PLL = ADF4106, Step :13 MHz,  $F_{VCO2} = 663\text{MHz}$   
Ausgangsteiler AD513 :  $N=10$   
 $F_{OUT1} = 67,65\text{MHz}$ ,  $F_{OUT2} = 69,00\text{MHz}$ 

## Vergleichsmessung mit R&S SME03

Phase Noise Synthesizer Bavarix Design1 mit Mixer, **alle Steuerleitungen entfernt**

Vergleich mit R&S SME 03,  $F = 60,52 \text{ MHz}$

PLL1:

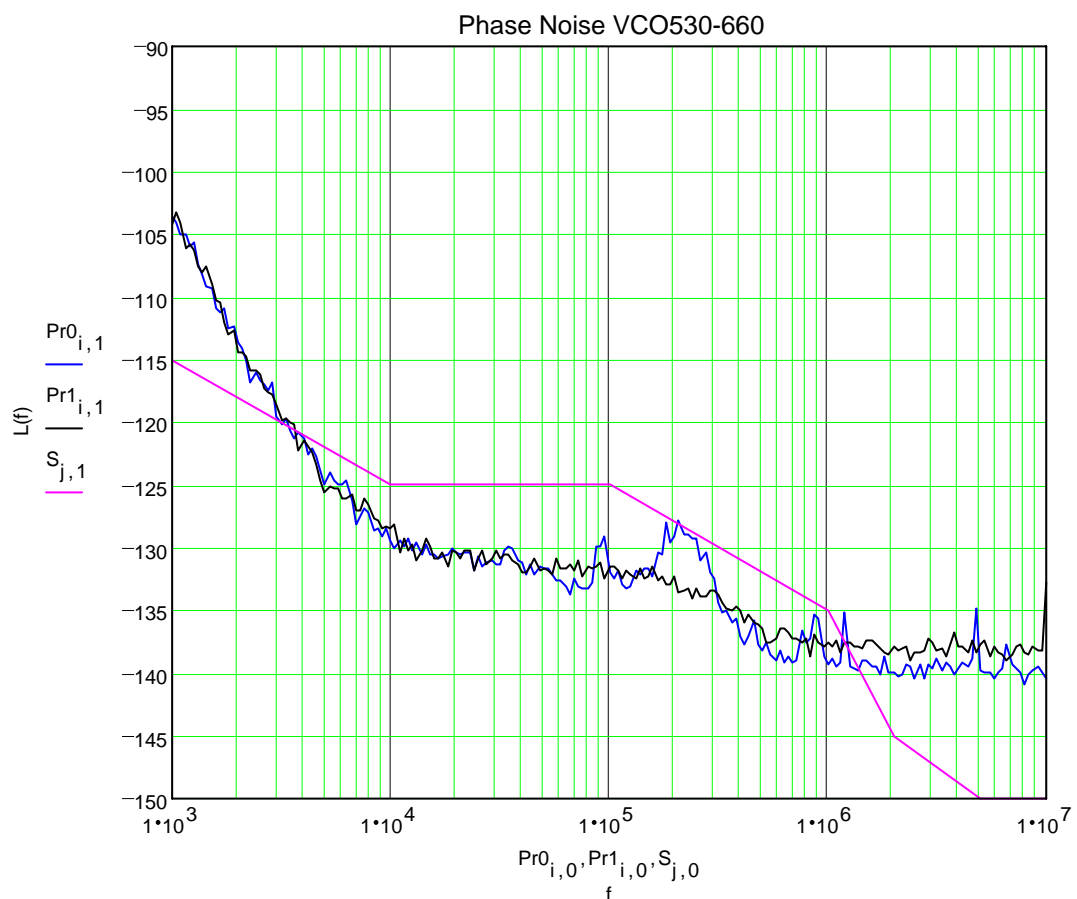
ZCOMM CLV600A-LF,  $F_{\text{VCO}}=530\text{-}660\text{MHz}$ , PLL = HMC439QS16,  
 $F_{\text{REF1}} = 19,5 \text{ MHz}$  mit DDS 9951

PLL2:

ZCOMM CLV600A-LF,  $F_{\text{VCO}}=530\text{-}660\text{MHz}$ , PLL = ADF4106, Step : 13  
MHz

$F_{\text{VCO2}} = 585 \text{ MHz}$

Ausgangsteiler AD513 :  $N=10$ ,  $F_{\text{OUT}} = 60,52 \text{ MHz}$



### 3.2.2 Frequenz-Raster 10,4 MHz

Zum Erzeugen des 10,4 MHz Raster wurde die 52 MHz Referenz durch 104 MHz ersetzt und der R-Teiler auf R=10 gestellt. Es konnte kein wesentlicher Unterschied festgestellt werden.

#### Phase Noise Synthesizer Bavarix Design1 mit Mixer

##### PLL1:

ZCOMM CLV600A-LF, F\_VCO=530-660MHz, PLL = HMC439QS16,  
F\_REF1 = 13MHz, F\_REF2 = 26 MHz mit DDS 9951

##### PLL2:

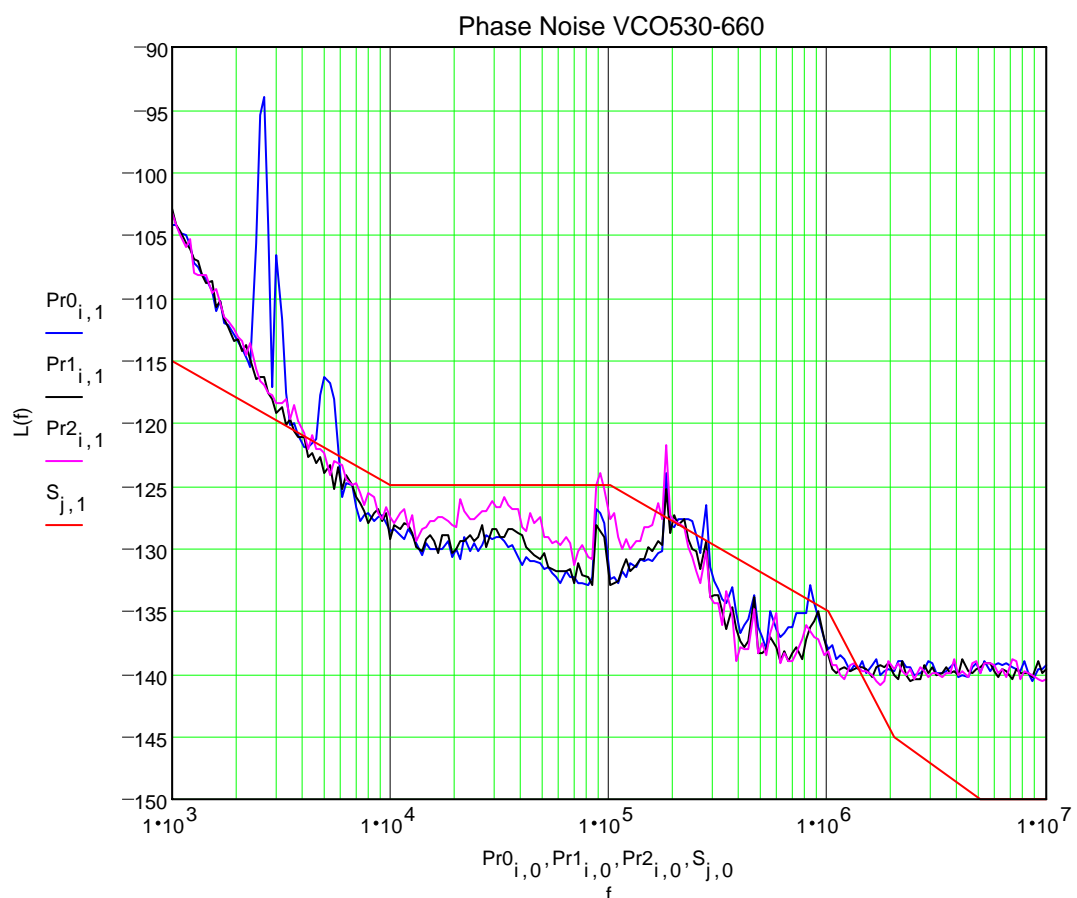
ZCOMM CLV600A-LF, F\_VCO=530-660MHz,

PLL = ADF4106, Step :10,4 MHz

F\_VCO2\_1 = 540,8 MHz, F\_VCO2\_2 = 592,8 MHz, F\_VCO2\_3 = 655,2 MHz

Ausgangsteiler AD513: N=10

F\_OUT1 = 54,39 MHz, F\_OUT2 = 59,80 MHz F\_OUT3 = 65,83 MHz





### 3.2.3 Frequenzraster 9,192 MHz

Ich wollte untersuchen, ob meine Referenzsignale 52 oder 104 MHz, die vom Mutterquarz 32,768 MHz abgeleitet werden, das Phasenrauschen beeinflussen.

Hier ist zu beachten, dass das Loopfilter nicht mehr optimal ist, deshalb eine größere Schwankungsbreite zwischen unteren und oberen Bandende zur Folge hat.

#### Phase Noise Synthesizer Bavarix Design2 mit Mixer

PLL1:

ZCOMM CLV600A-LF,  $F_{VCO}=530\text{-}680\text{MHz}$ , PLL = HMC439QS16,  
 $F_{REF1} = 8,192 - 16,384 \text{ MHz}$  mit DDS 9951

PLL2:

ZCOMM CLV600A-LF,  $F_{VCO}=530\text{-}680\text{MHz}$ , PLL = ADF4106,  
 $F_{REF2} = 32,768 \text{ MHz}$ ,  $R = 4$ , Step : 8,192 MHz

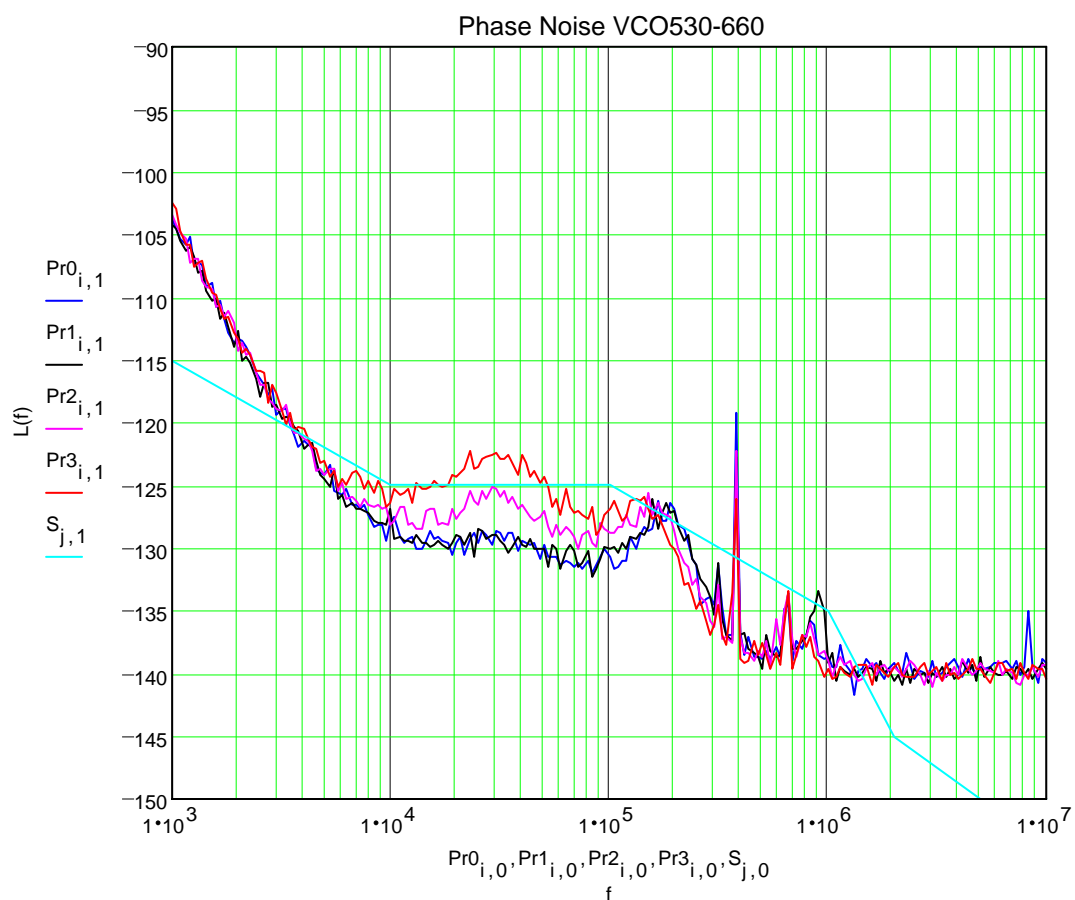
Ausgangsteiler AD513 :  $N=10$

$F_{OUT1} = 55,32 \text{ MHz}$

$F_{OUT2} = 61,86 \text{ MHz}$

$F_{OUT1} = 65,96 \text{ MHz}$

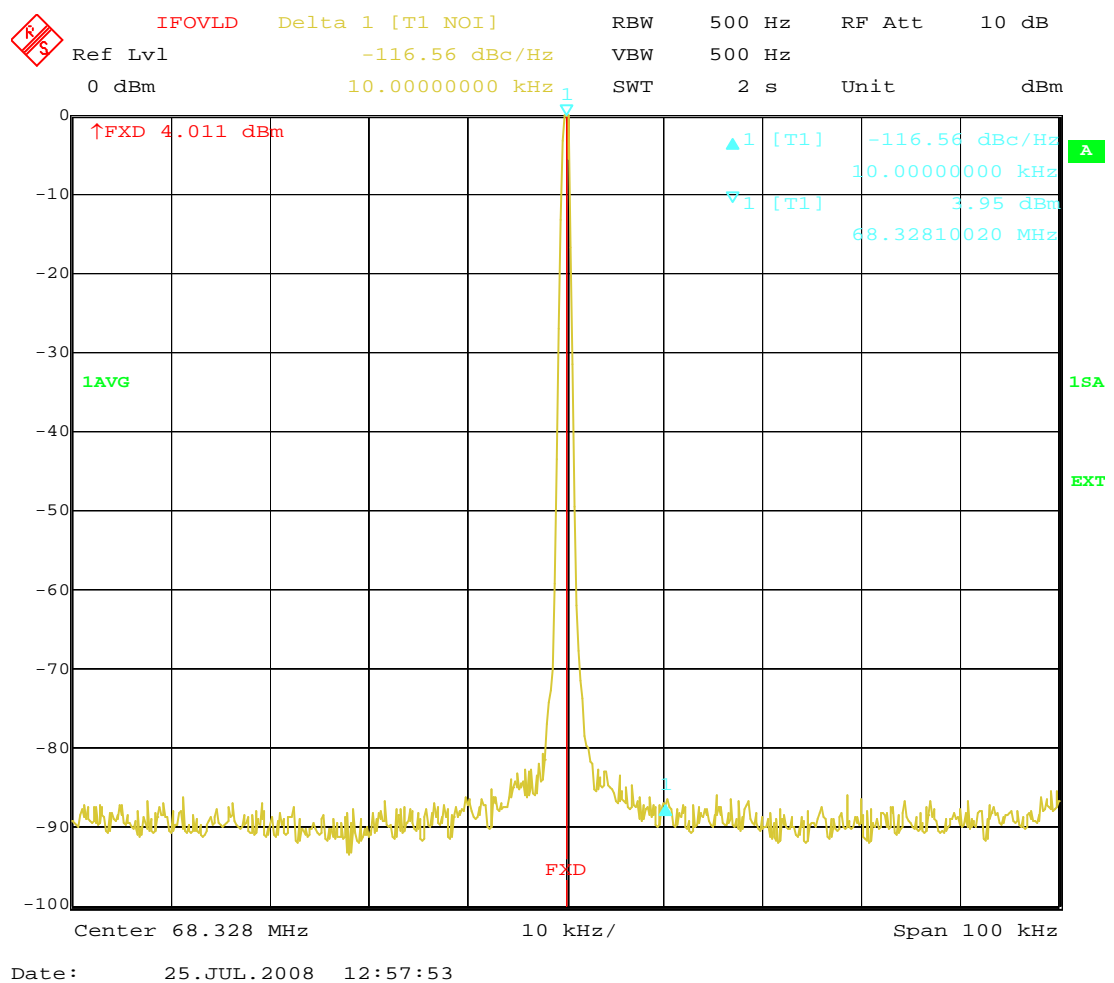
$F_{OUT2} = 68,42 \text{ MHz}$

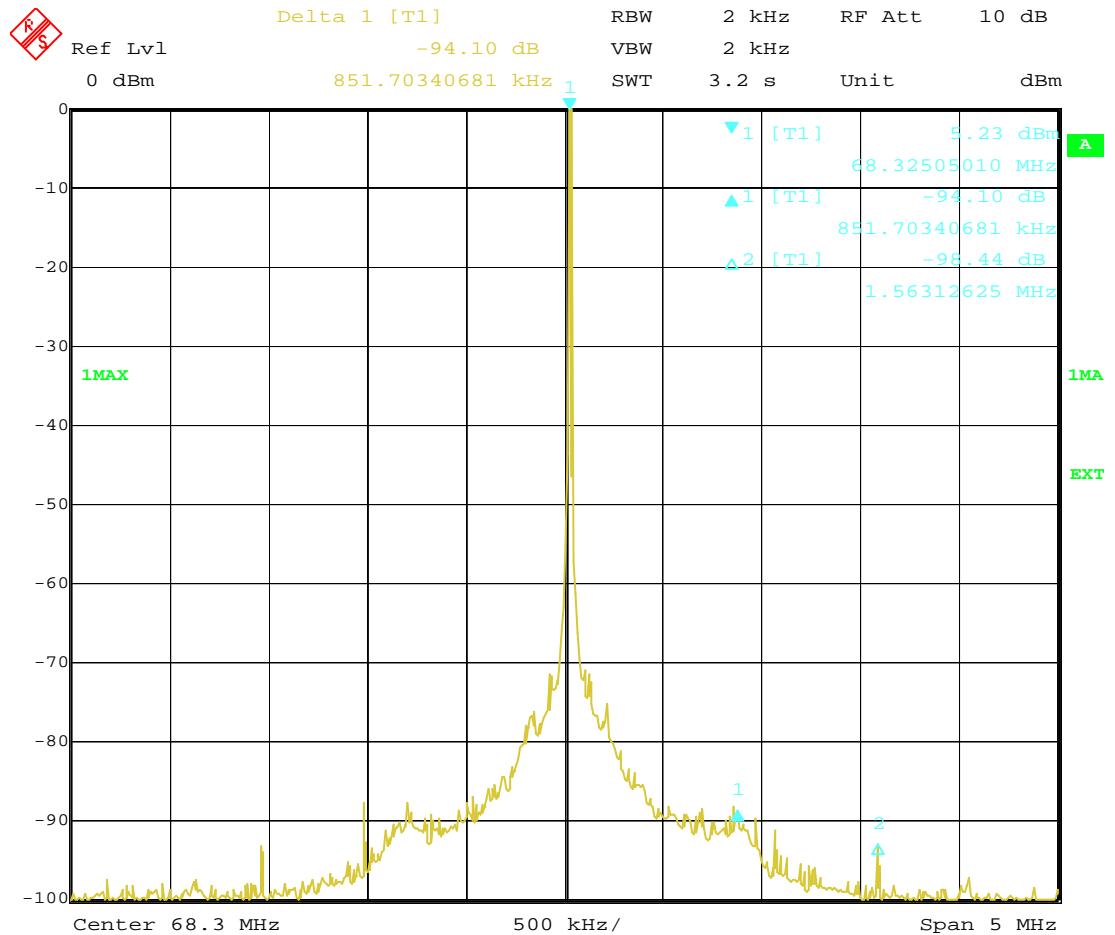


### 3.3 Spektrum

Von der Vielzahl meiner Spektrumsmessungen möchte ich nur einige exemplarisch zeigen. Einige Module sind nicht geschirmt und da auch sonst oft Störlinien unbekannter Herkunft zu sehen sind, möchte ich die Messungen nicht unbedingt als der Wahrheit letzter Schluss ansehen.

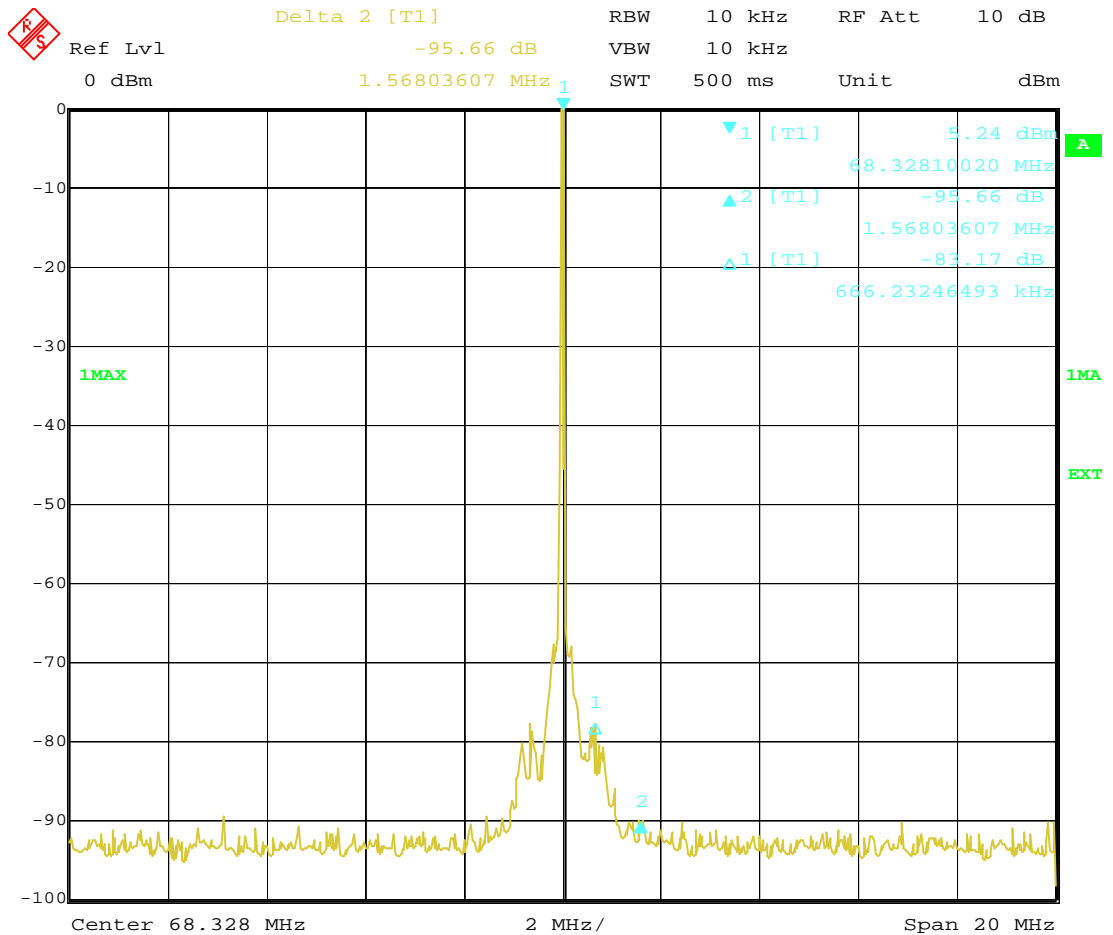
#### 3.3.1 Frequenzraster 13 MHz



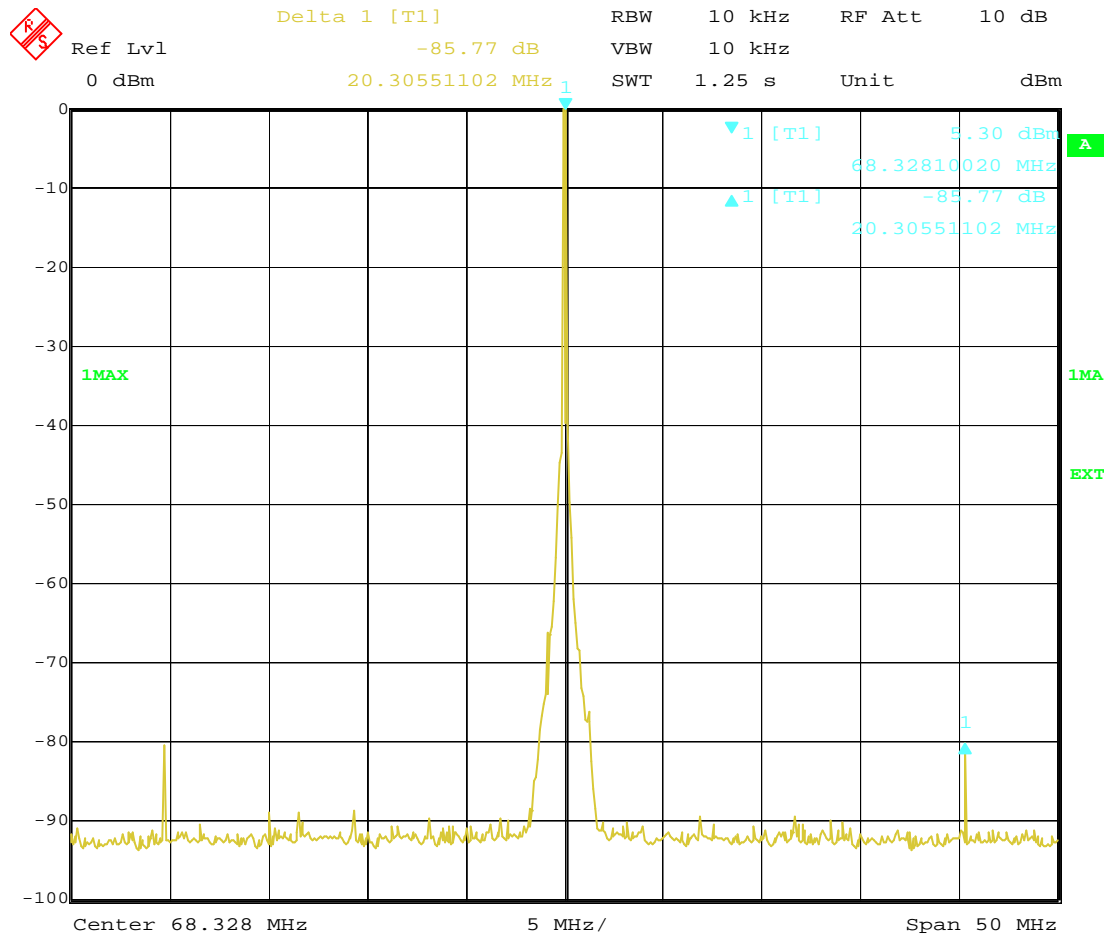


Date: 25.JUL.2008 15:47:16

Delta1: Rauschglocke PC-Störung: -94,1 dB  
 Delta2: 1,56 MHz: -96,4 dB



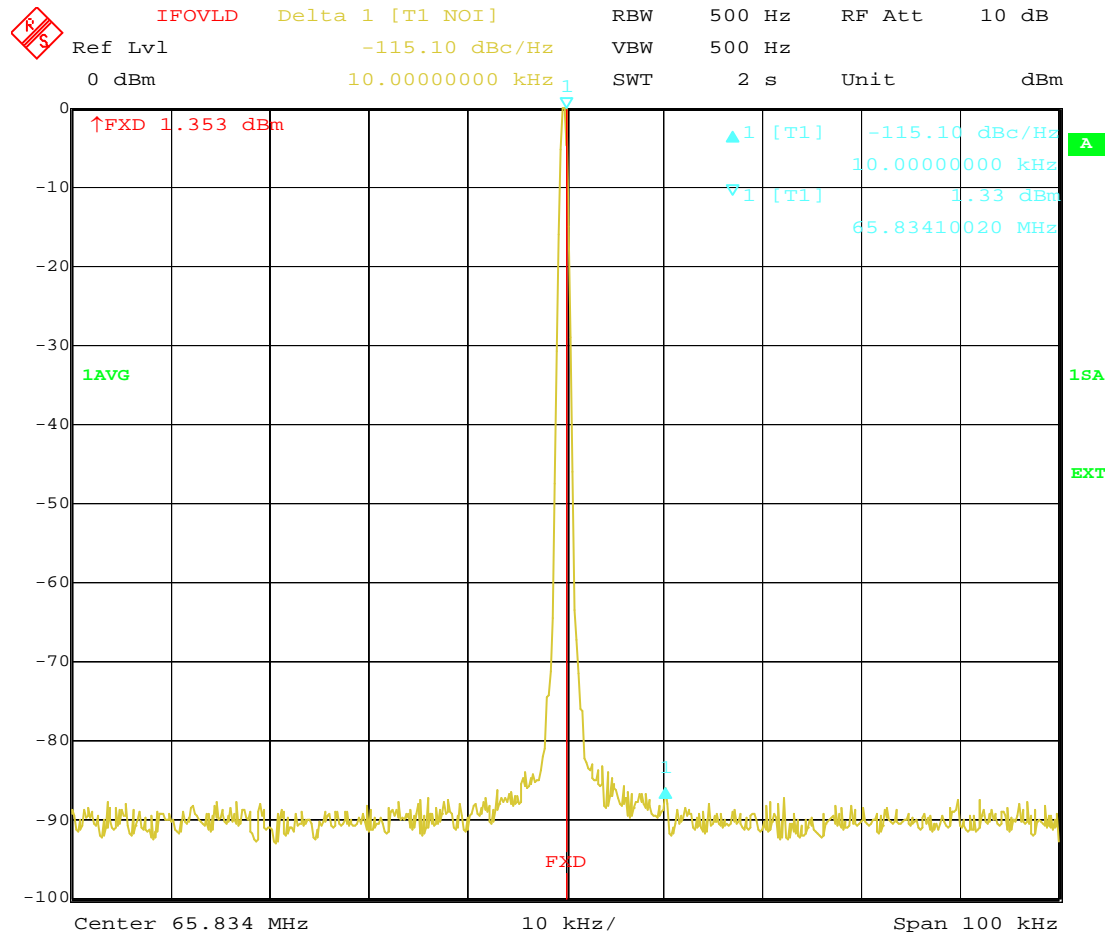
Date: 25.JUL.2008 13:07:14



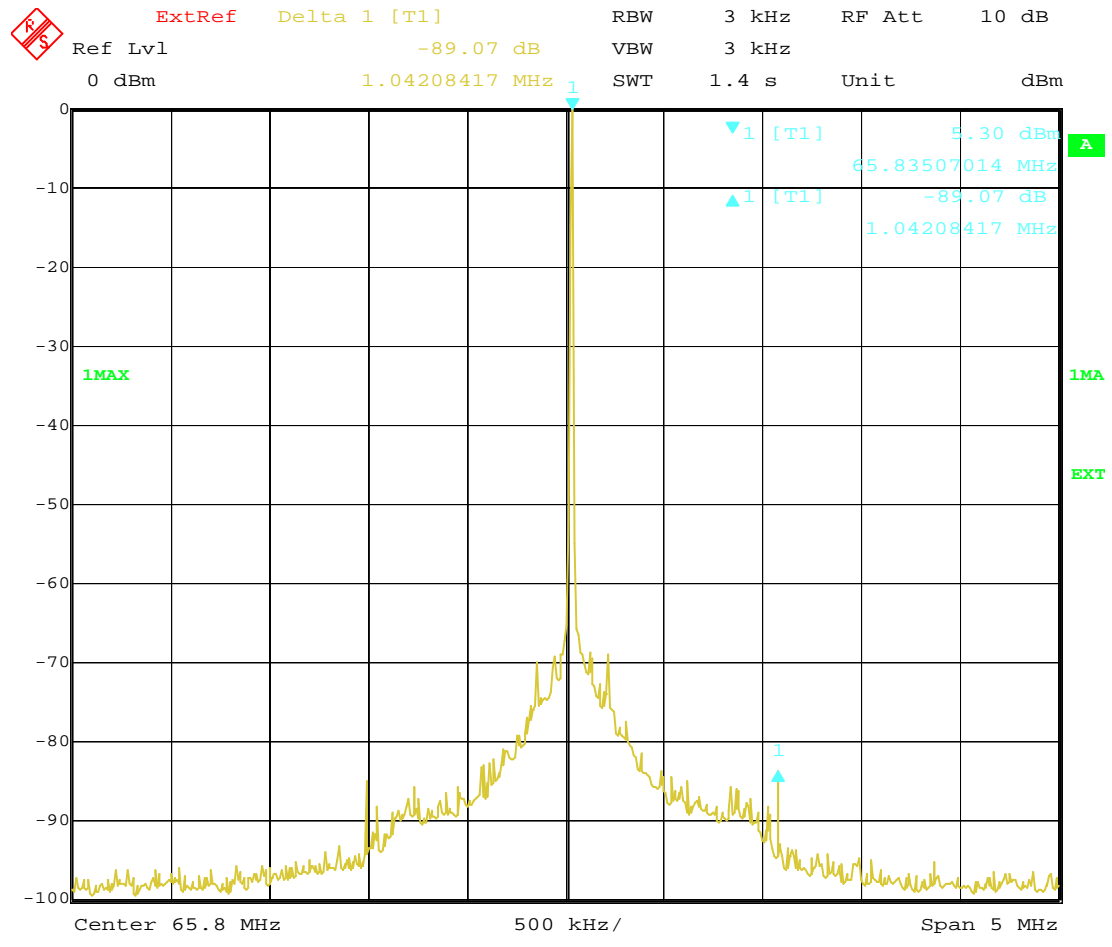
Date: 25.JUL.2008 13:09:54

Delta1: 20,3 MHz Referenzfrequenz PLL1-Loop -85,3 dB

### 3.3.2 Frequenzraster 10,7 MHz

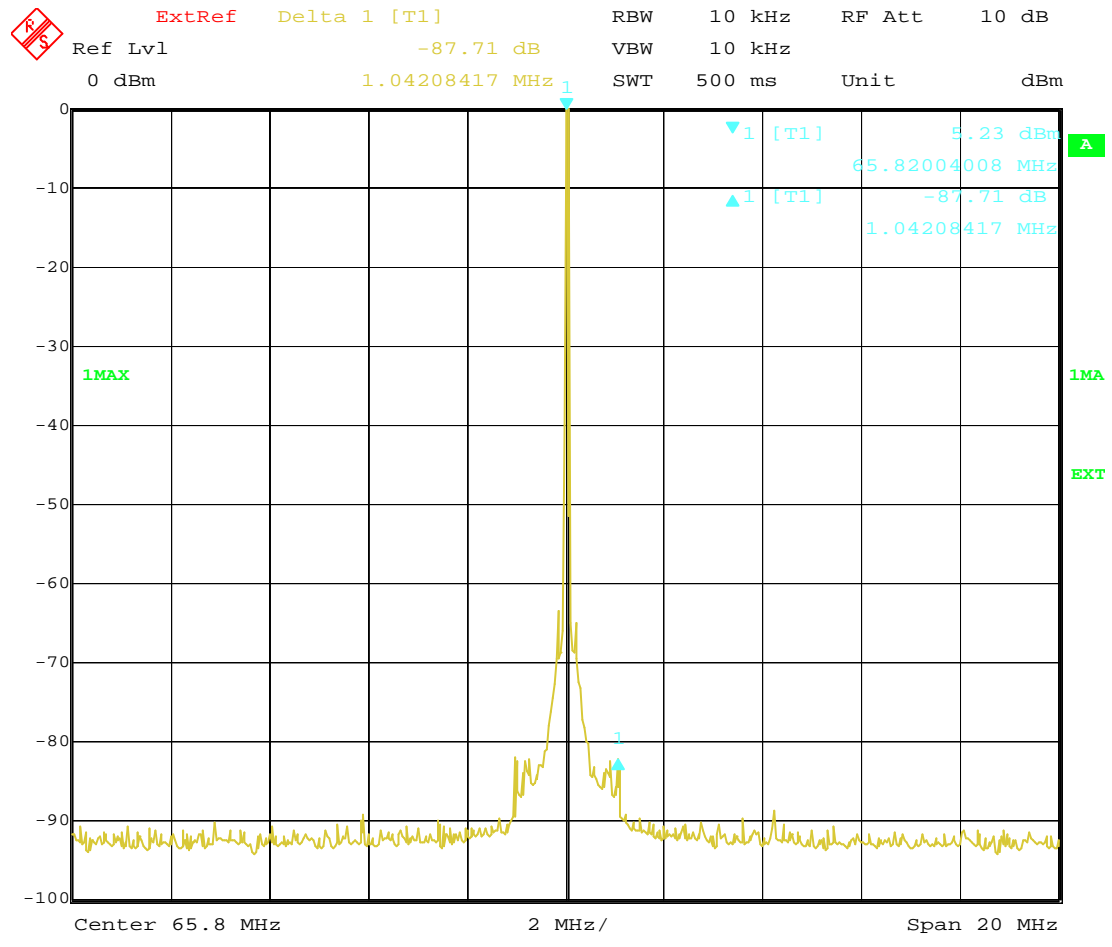


Date: 28.JUL.2008 14:08:54



Date: 28.JUL.2008 14:06:06

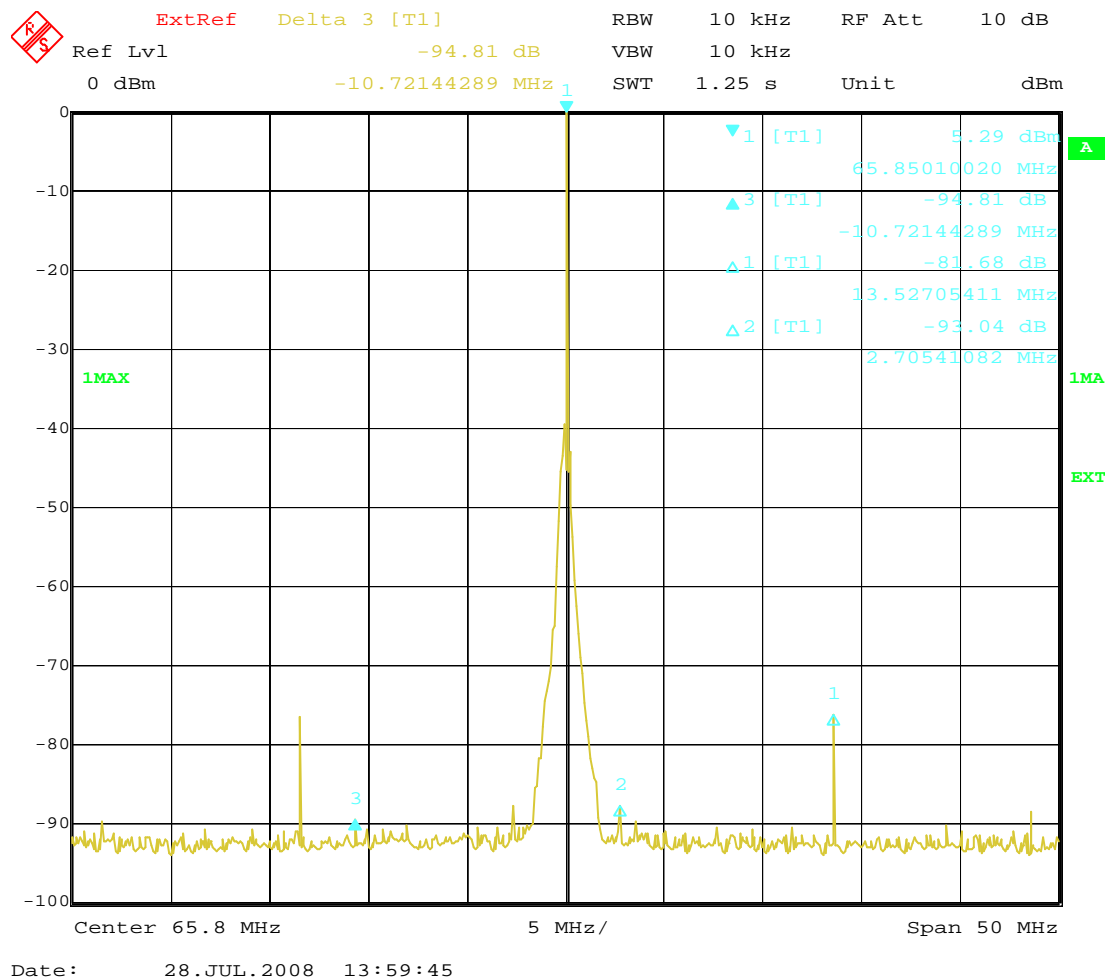
Delta: 1,04 MHz Herkunft unbekannt -89,1 dB



Date: 28.JUL.2008 14:04:28

Delta1: wie oben





Delta1: 13,5 MHz	Referenzfrequenz PLL1	-81,6 dB
Delta2: 2,7 MHz	Herkunft unbekannt	-93,0 dB
Delta3: -10,7 MHz		-94,8 dB

#### 4. Zusammenfassung

Diese Untersuchungen zeigen, dass mit modernen Bauteilen und etwas mehr Aufwand sehr gute Resultate bezüglich Phasenrauschen zu erwarten sind. Das Ziel war ja, einen Wert besser -125 dBc/Hz im Abstand 10-100 kHz zu erreichen. Es ist auch deutlich geworden, wo aktuell das schwächste Glied in der Kette sitzt, nämlich der PLL-Chip im PLL2 Design.

Diesen durch einen diskret aufgebauten Phasen-Frequenz-Diskriminator zu ersetzen möchte ich als nächstes untersuchen. Ich werde bei gegebener Zeit davon weiter berichten.