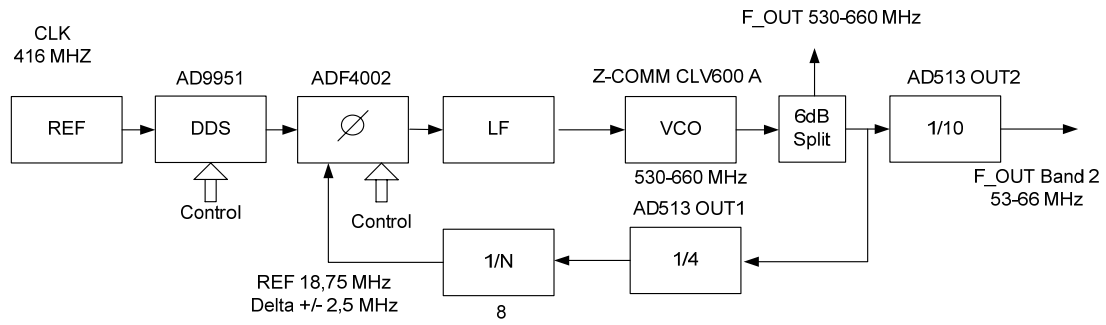


Zwischenbericht Synthesizer Bavarix

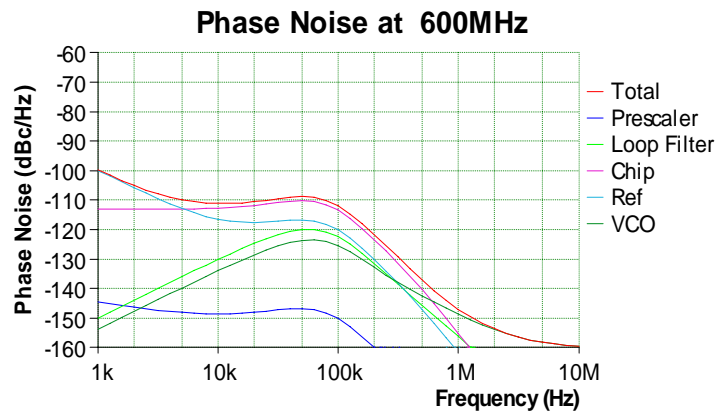
1. Test-Aufbau



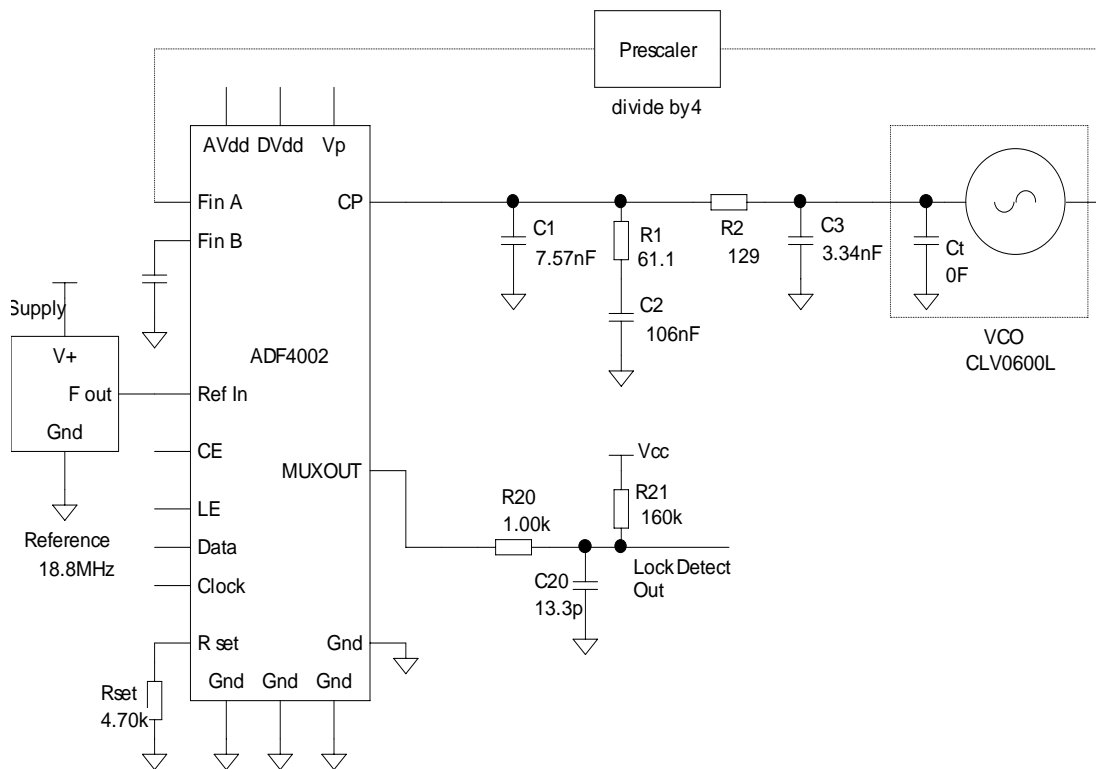
Synthesizer mit PLL und DDS als Referenz

2. Simulation mit ADIsimPLL

Phase Noise Plot



Schematic

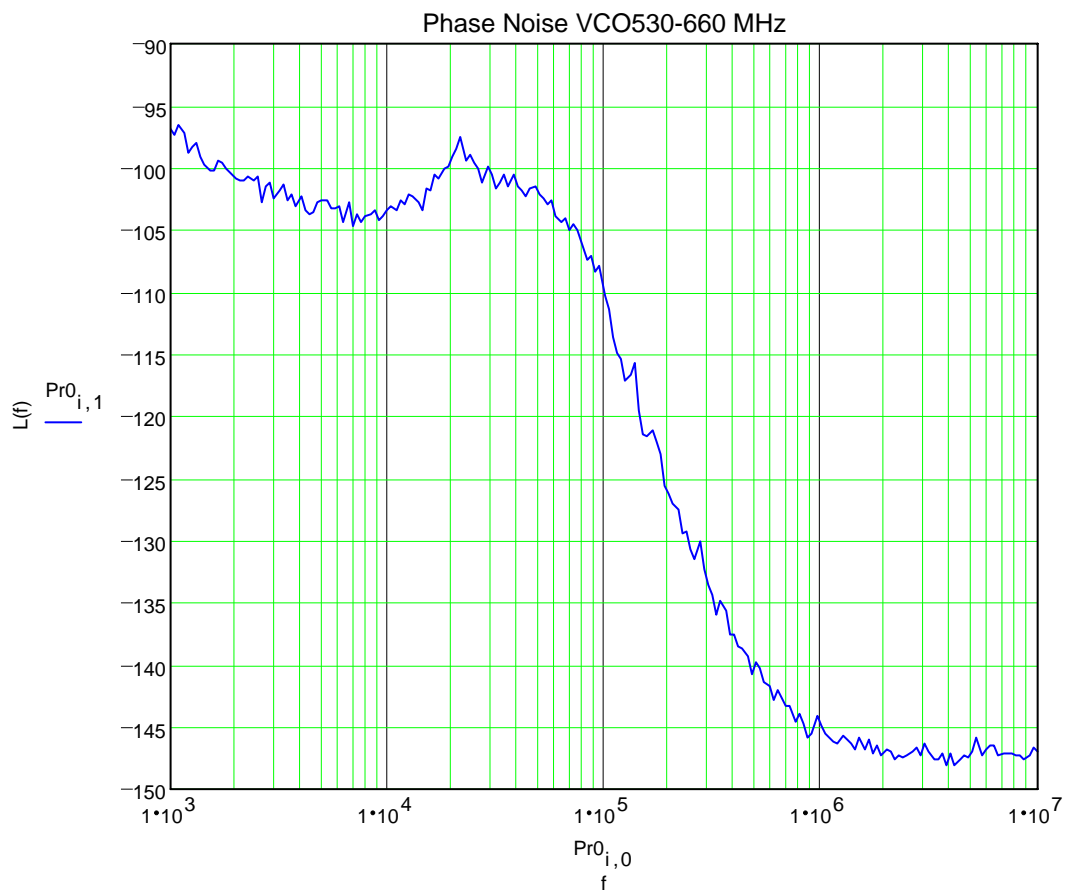


- NotesADF4002:
1. Vp is the Charge Pump power supply
 2. Vp >= Vdd
 3. CE must be HIGH to operate
 4. Consult manufacturer's data sheet for full details

3. Phase Noise

3.1 Phase Noise VCO_OUT 624 MHz

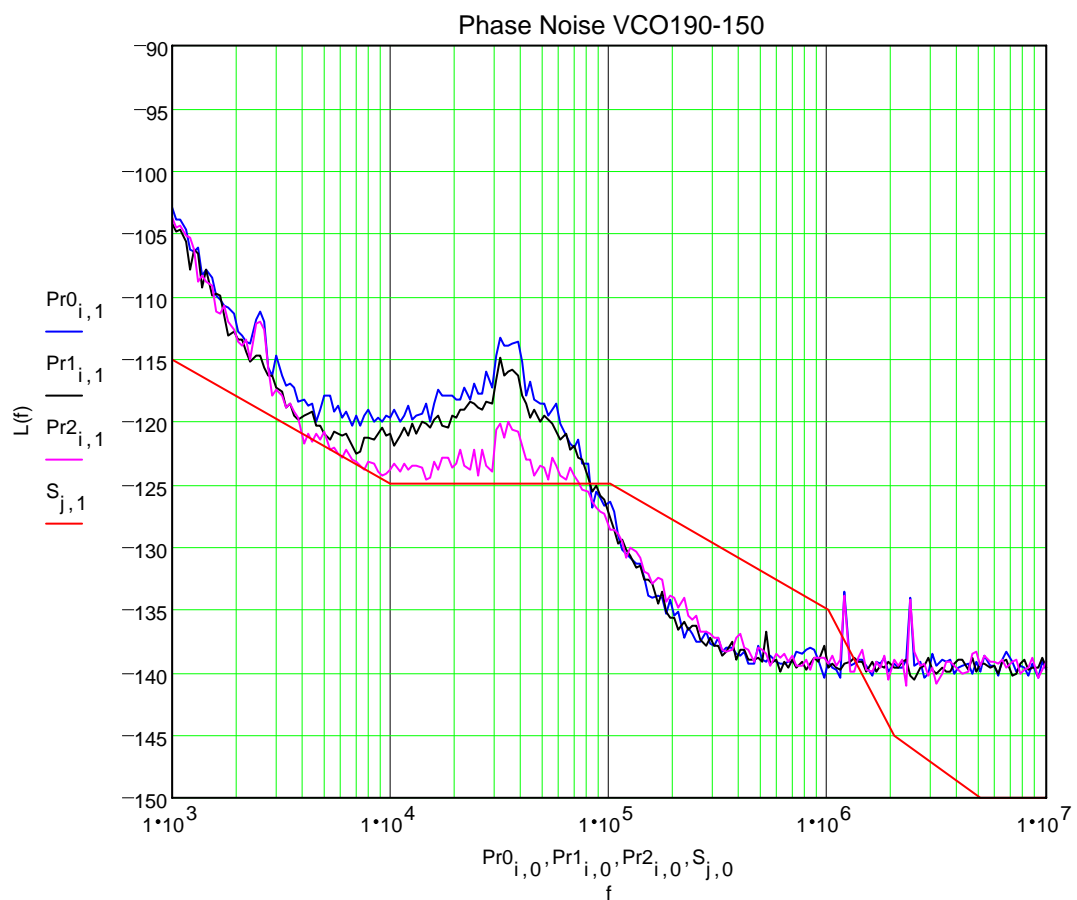
Phase Noise ZCOMM CLV600A-LF, F_VCO=530-660MHz, PLL ADF4002,
DDS AD9951 als Referenz; CLK 416 MHz DF3GV,
F_REF = 18,75 MHz entspricht PLL-Teiler N= 32
F_OUT = 625 MHz, Vergleich zur Simulation



Vergleich zur Simulation bei 10 KHz Offset: 6dB schlechter , zusätzliche
Überhöhung bei 20-40 kHz

3.2 Phase Noise mit verschiedene PLL-N-Teiler

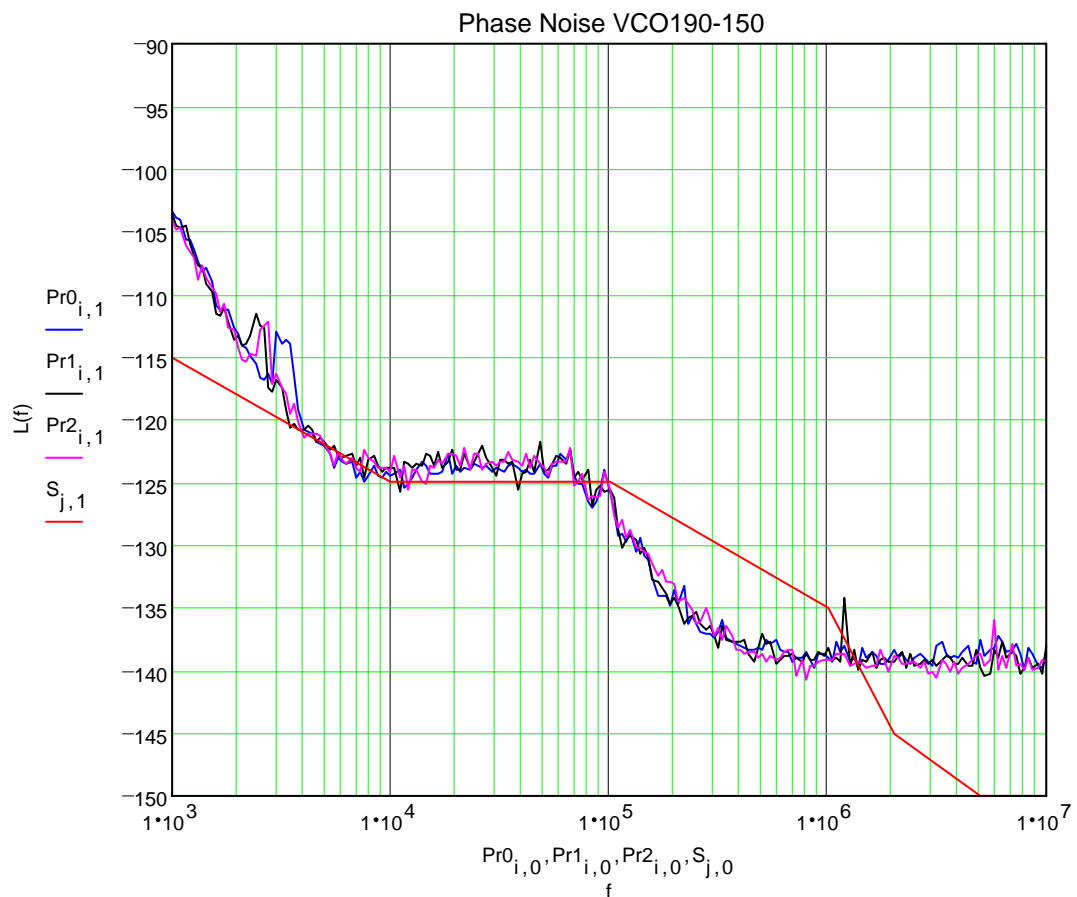
Phase Noise ZCOMM CLV600A-LF, $F_{VCO}=530-660\text{MHz}$, PLL ADF4002,
 DDS AD9951 als Referenz; CLK 416 MHz DF3GV,
 $F_{REF1} = 7,5\text{ MHz}$ entspricht PLL-Teiler $N=80$,
 $F_{REF2} = 9,375\text{ MHz}$ entspricht PLL-Teiler $N=64$,
 $F_{REF3} = 18,75\text{ MHz}$ entspricht PLL-Teiler $N= 32$
 Ausg.-Teiler $M=10$, $F_1 =62,4\text{ MHz}$
 Loop-Filter nicht optimiert



Loop-Filter für F_{REF1} und F_{REF2} nicht optimiert
 Faktor 2 kleinerer PLL-Teiler bringt 6 dB Verbesserung im
 Phasenrauschen

3.2 Phase Noise mit PLL-N-Teiler $N = 32$, Loopfilter geändert

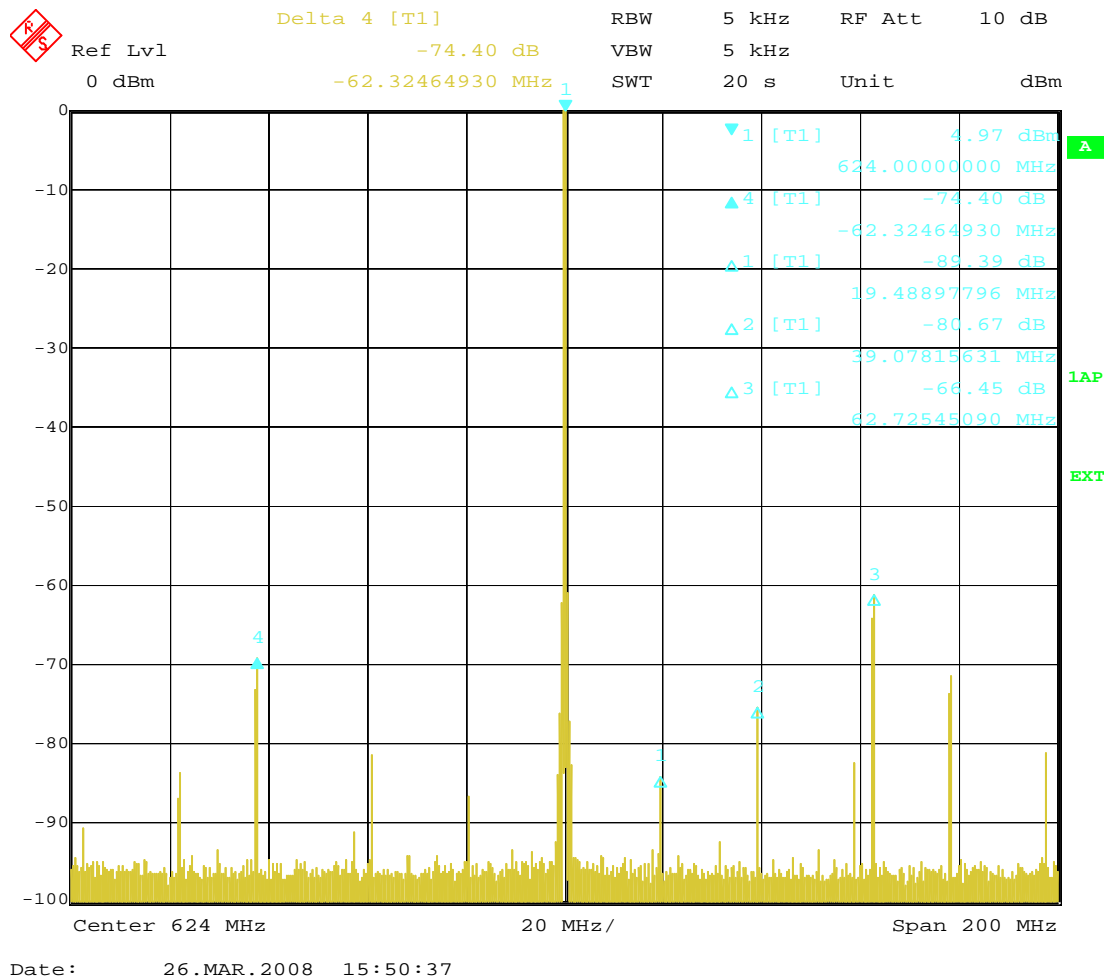
Phase Noise ZCOMM CLV600A-LF, $F_{VCO}=530-660\text{MHz}$, PLL ADF4002, DDS AD9951 als Referenz; CLK 416 MHz DF3GV, $F_{REF1} 16,5625\text{ MHz}$, $F_{REF2}=18,75\text{ MHz}$, $F_{REF3} 20,3125$ PLL-N Teiler=32, Ausg.-Teiler $M=10$, $F1 =55,12\text{ MHz}$, $F2 =62,4\text{ MHz}$, $F3 = 67,6\text{ MHz}$



Im Bereich 10-100 kHz Phasenrauschziel -125 dBc/Hz fast erreicht
Für Bereich < 2 (5) kHz und > 500 kHz Phasenrauschen durch Messgerät bestimmt.

4. Spektrum

4.1 VCO Ausgang 624 MHz



Erklärung:

Marker1: F = 624 MHz , P_OUT = 5,0 dBm

Delta-Marker1 = Delta_F1 = 18,75 MHz -89,4 dBc

Delta-Marker2 = Delta_F2 = 37,5 MHz -80,7 dBc

Delta-Marker3 = Delta_F3 = 62,4 MHz -66,4 dBc

Delta-Marker3 = Delta_F4 = -62,4 MHz -70,4 dBc

Die Referenz-Nebenlinien der PLL mit -90 bzw. -80 dBc sind im erwarteten Bereich. Normalerweise nehmen sie zu höheren Ordnung ab, hier wahrscheinlich ein Aufbauproblem.

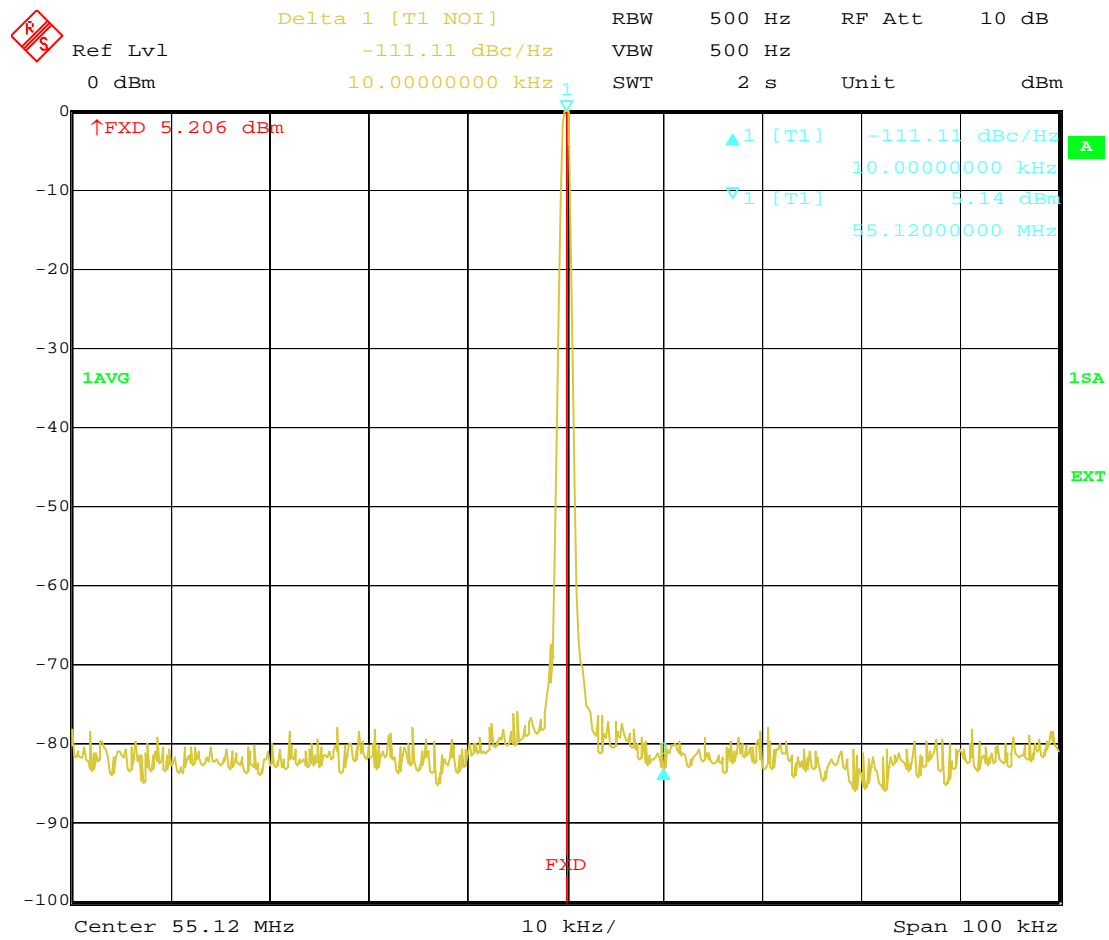
Die Nebenlinien von +/- 62,4 MHz resultieren vom Übersprechen vom 10:1 –Teiler

auf den 4:1-Teiler. Abhilfe könnten getrennte Bausteine für PLL-Vorteiler und Ausgangsteiler sein.

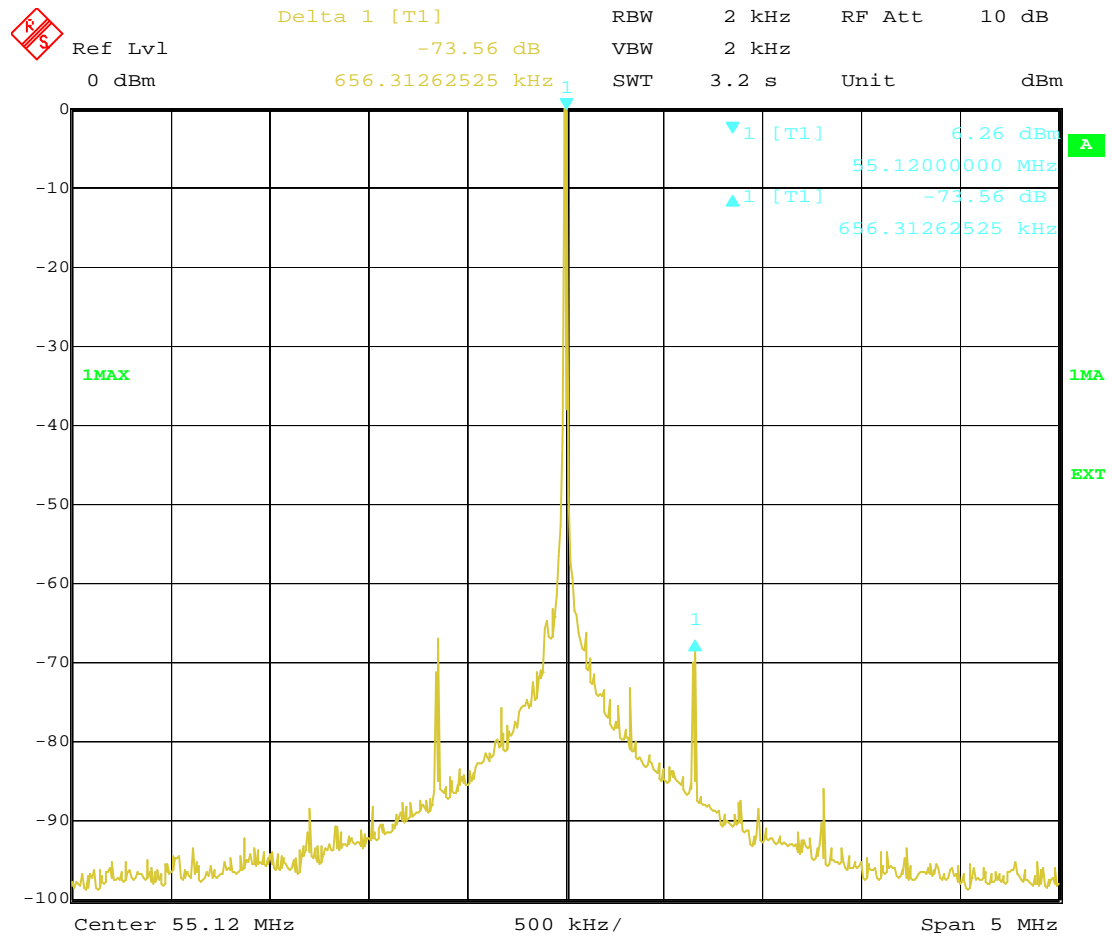
4.2 Synthesizer Ausgangsspektrum mit Teiler 1:10

Alle Spektren mit PLL N-Teiler 80, d. h. PLL_REF 7,5 MHz +/- 2,5 MHz

4.2.1 Frequenz 55,12 MHz

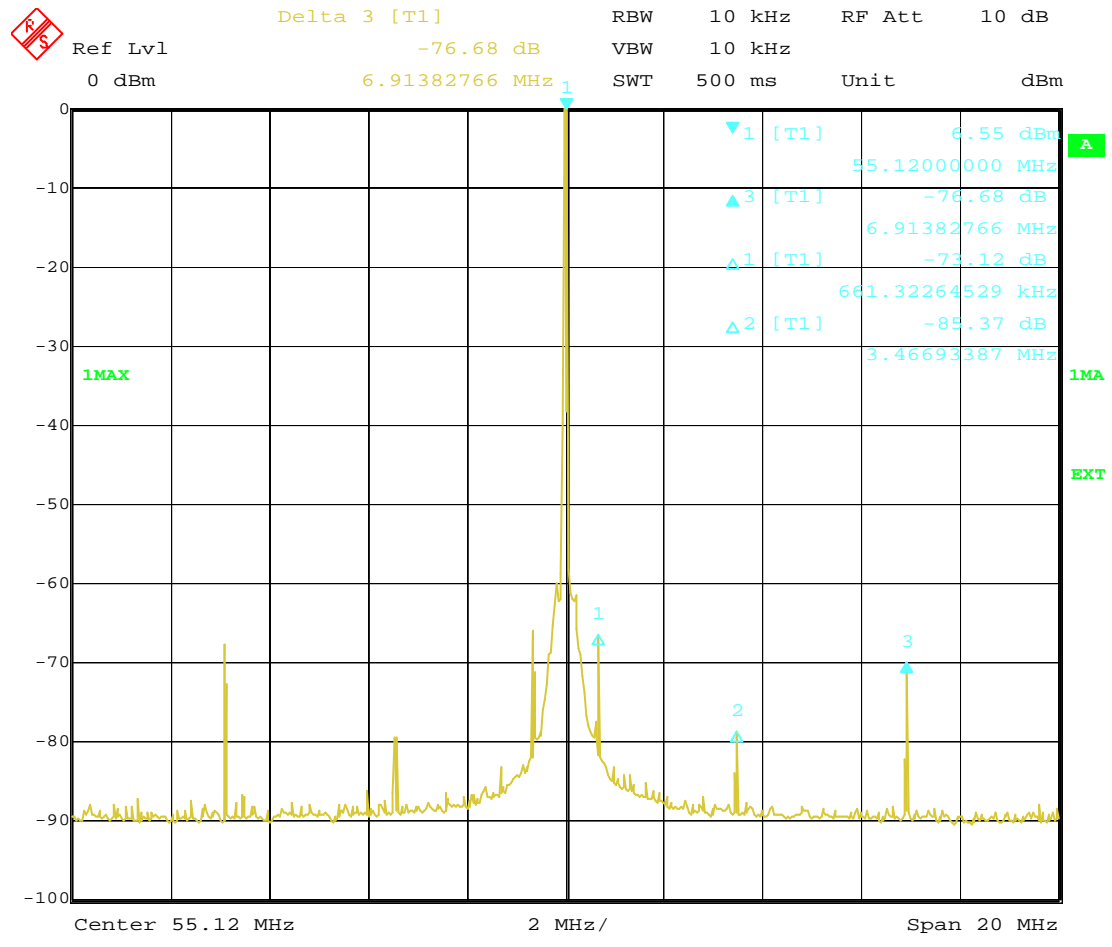


Date: 20.MAR.2008 13:53:48



Date: 20.MAR.2008 13:51:01

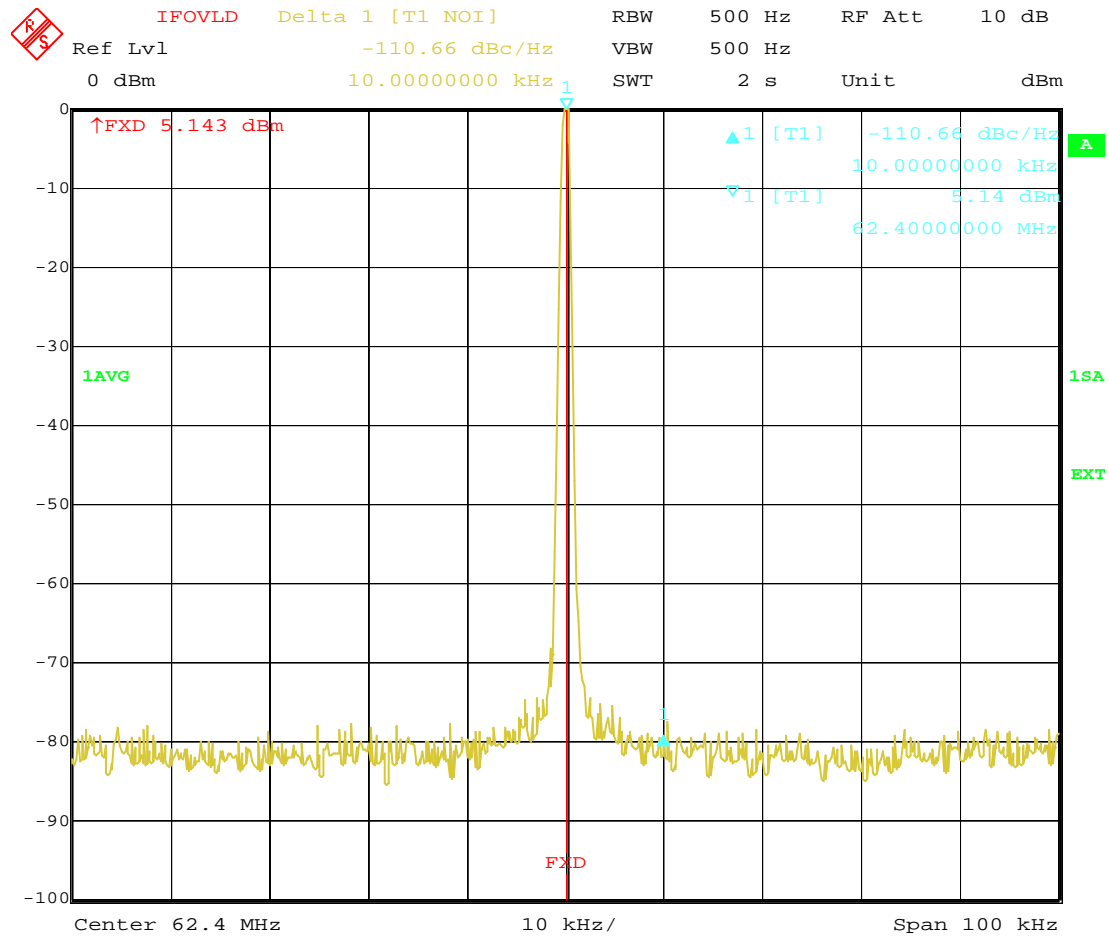
Delta_F1 = 656 KHz: -73,6 dBc F_REF/10



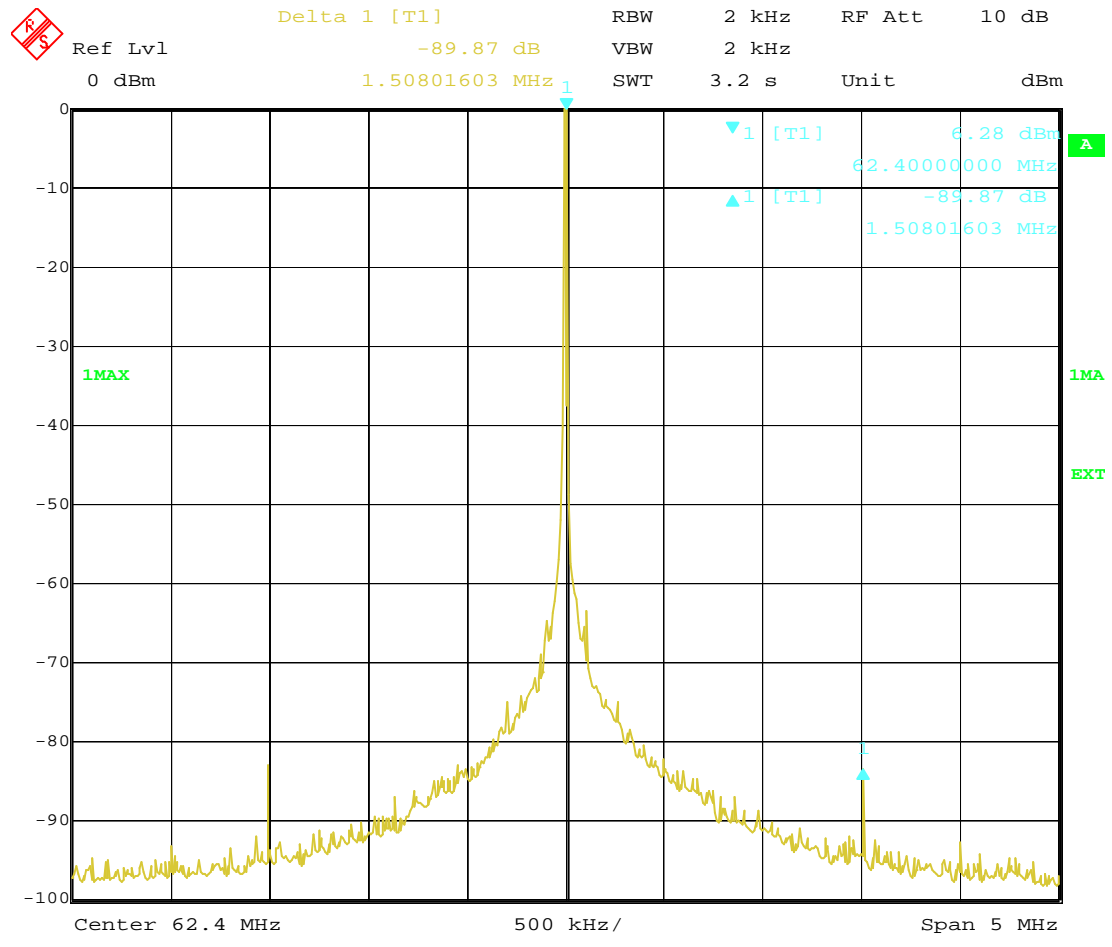
Date: 20.MAR.2008 13:47:59

Delta_F1 = 661 KHz:	-73,1 dBc	F_REF/10
Delta_F2 = 3,5 MHz:	-85,3 dBc	Herkunft ?
Delta_F3 = 6,9 MHz:	-76,7 dBc	Doppelte von Delta_F2

4.2.2 Frequenz 62,4 MHz

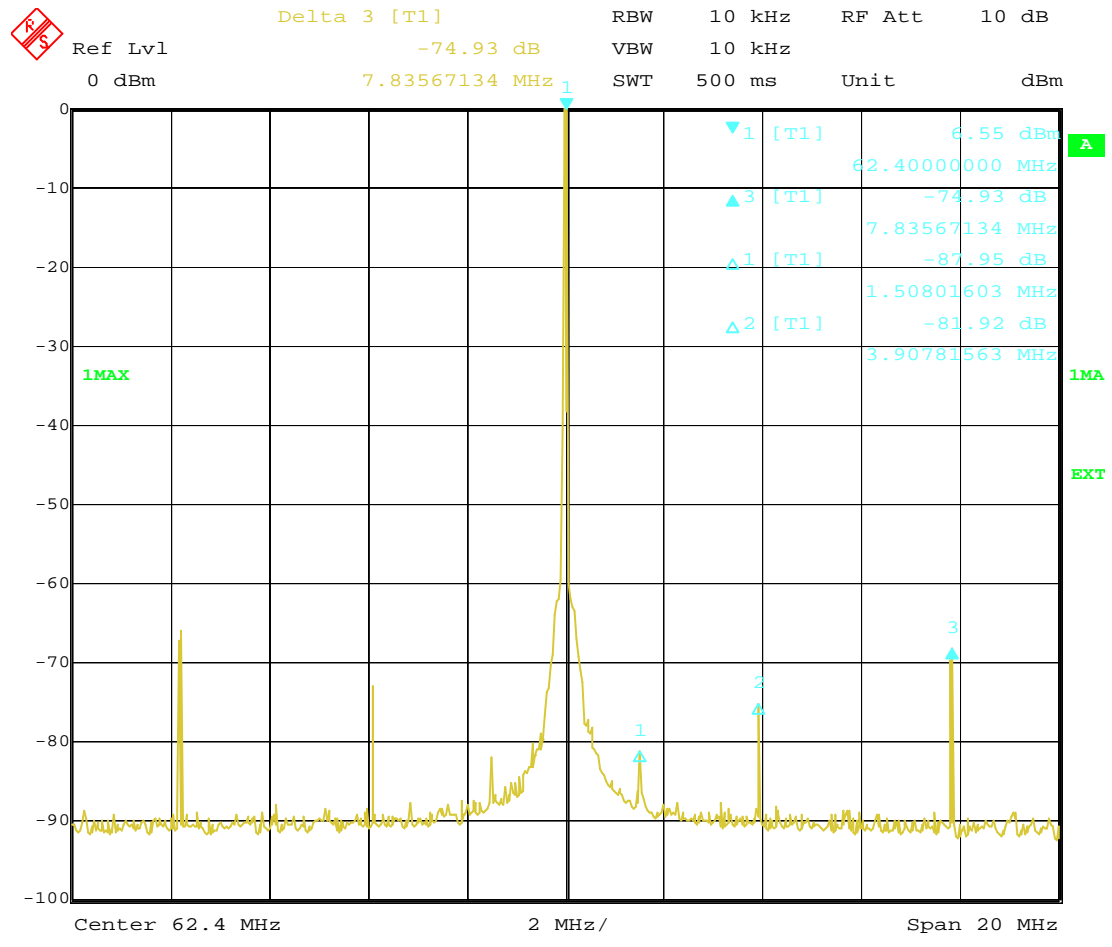


Date: 20.MAR.2008 13:56:04



Date: 20.MAR.2008 14:00:30

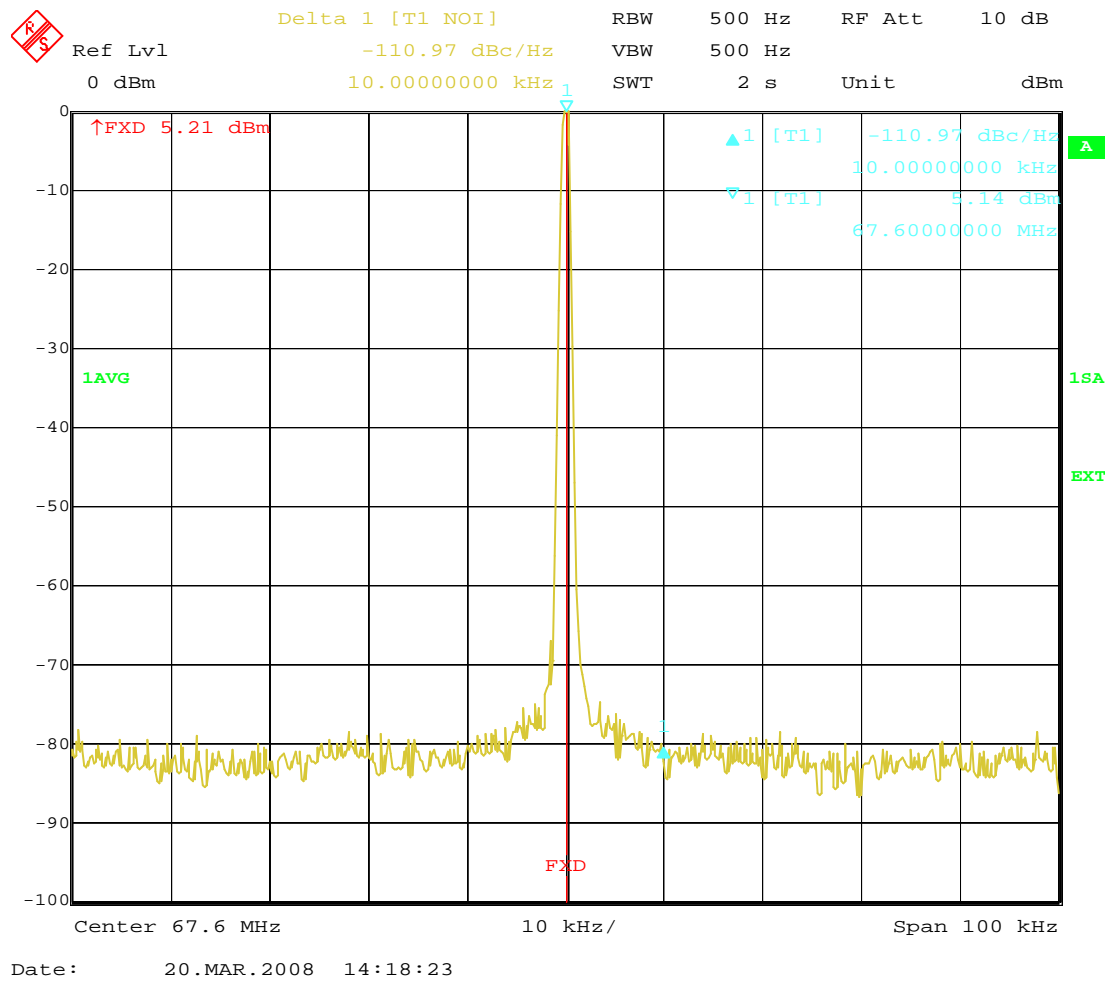
Delta_F1 = 1,5 MHz: -73,6 dBc 2* F_REF/10

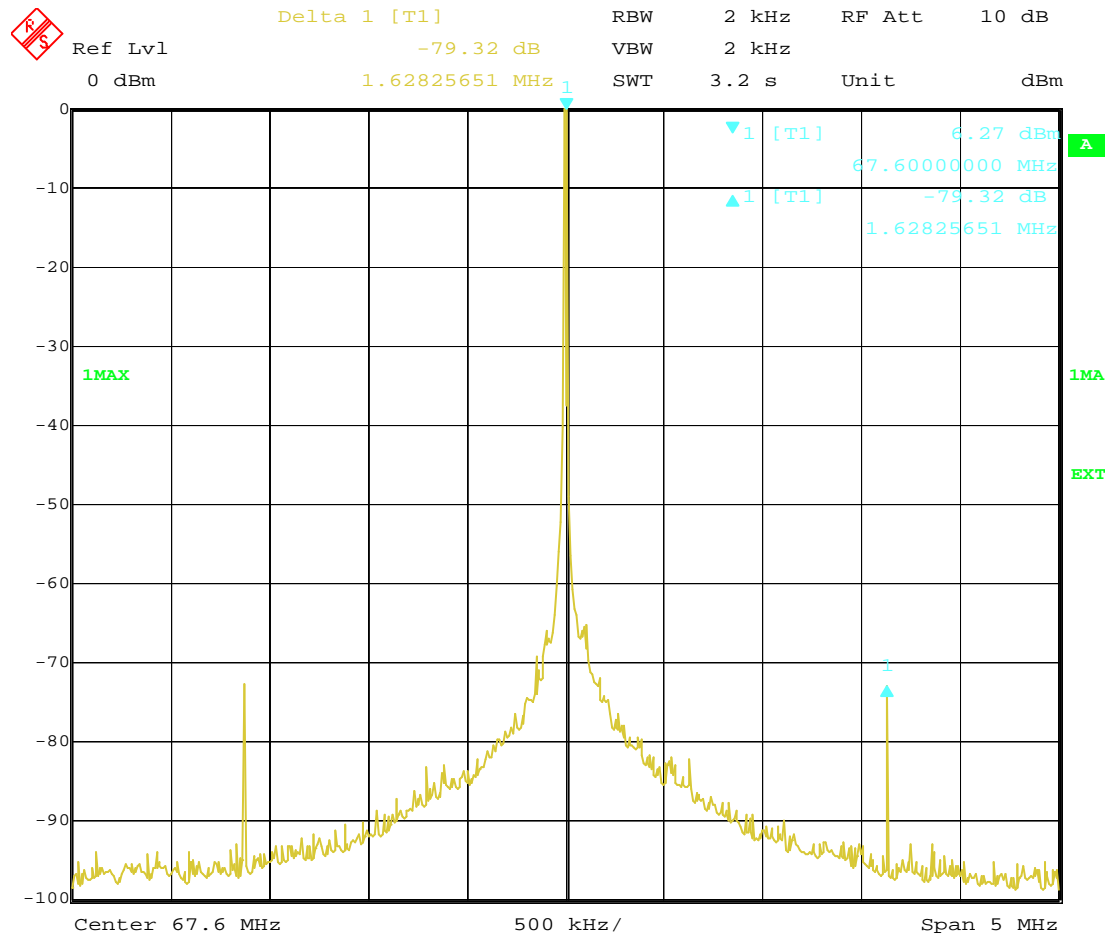


Date: 20.MAR.2008 14:02:36

Delta_F1 = 1,5 MHz:	-87,9 dBc	2* F_REF/10
Delta_F2 = 3,9 MHz:	-81,9 dBc	Herkunft ?
Delta_F3 = 7,8 MHz:	-74,9 dBc	Doppelte von Delta_F2

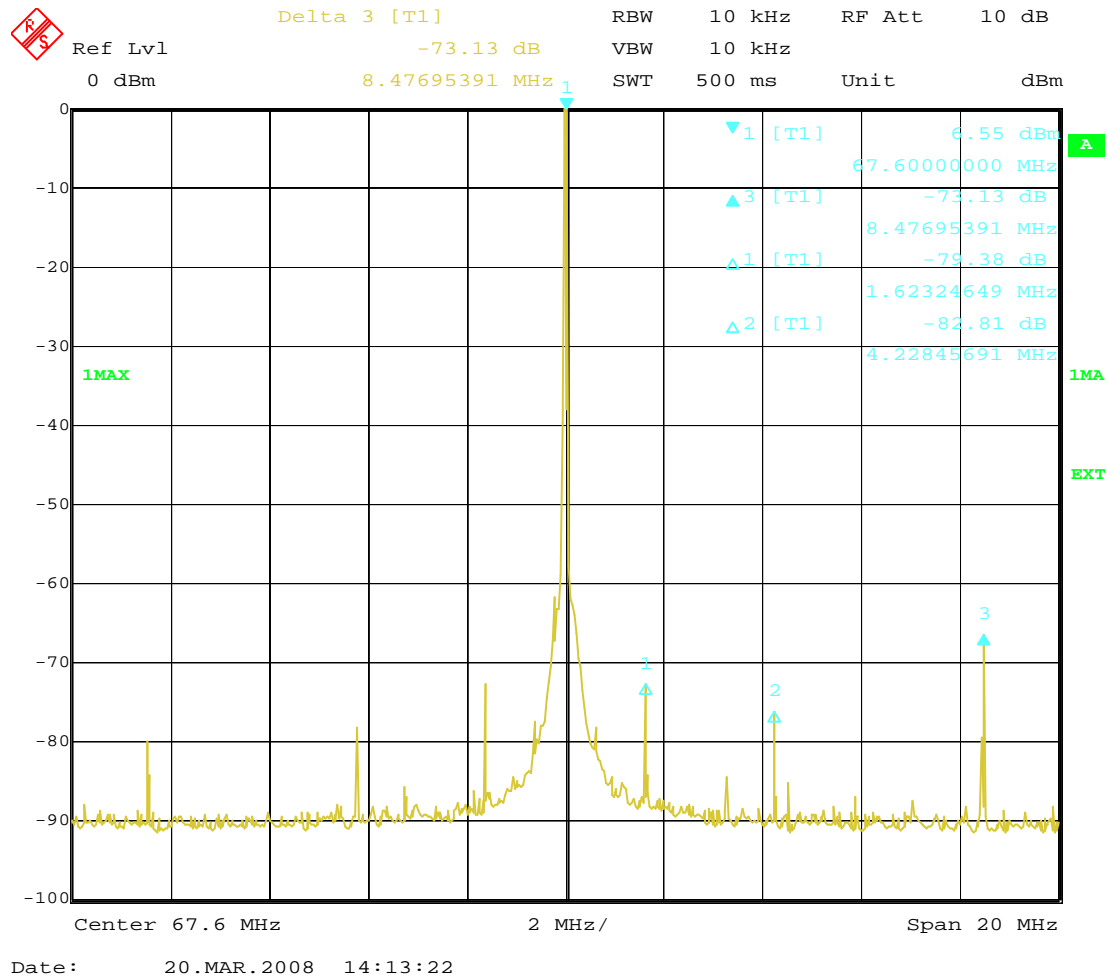
4.2.3 Frequenz 67,6 MHz





Date: 20.MAR.2008 14:15:36

Delta_F1 = 1,62 MHz: -79,3 dBc 2* F_REF/10



Delta_F1 = 1,62 MHz: -75,4 dBc 2* F_REF/10
 Delta_F2 = 4,22 MHz: -82,8 dBc Herkunft ?
 Delta_F3 = 8,48 MHz: -73,1 dBc Doppelte von Delta_F2

5. Diskussion und weitere Untersuchung

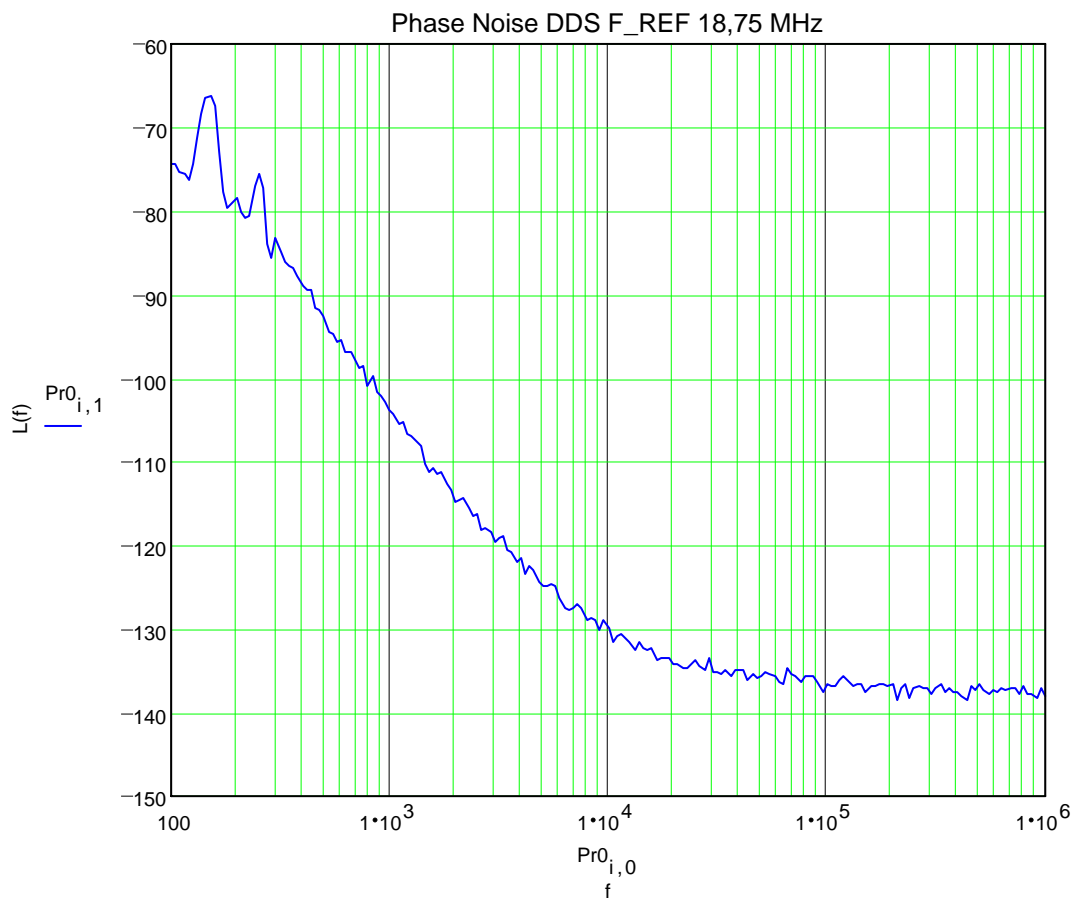
Im ersten Hinsehen bin ich über die Nebenlinien gestolpert. Im Teiler 1:10 steckt der Faktor 5, wahrscheinlich entstehen einige Linien durch diesen Teiler mit der zusätzlichen Verkopplung mit dem Prescaler 1:4 für die PLL. Mit getrennten Teilern für die PLL und den Ausgangsteiler und zusätzliche Entkopplung durch einen Trennverstärker erwarte ich eine Verbesserung der Nebenlinien.

Bezüglich Phasenrauschen gibt es 2 Ansatzmöglichkeiten zur Verbesserung. Die Simulation zeigt dass der PLL-Chip (ADF4002) keine Verbesserung zulässt. Die fehlenden 7 dB sind also Rauschteile vom Chip oder der Referenz.

Ein PLL-Gesamtteilerfaktor von 32 ergibt mit $20 \cdot \log N = 30,1$ dB eine Verschlechterung der Referenz-Phasenrauschwertes um diesen Wert.
Gemessen bei 10 kHz : -104 dBc/Hz ergibt rechnerisch ein Phasenrauschen der Referenz von -134 dBc/Hz.

Gemessen habe ich für den DDS AD9951 früher für F_{OUT} 10 MHz ca. -130 dBc/Hz. Zur Kontrolle habe ich die Messung für aktuelle Referenz von 18,75 MHz wiederholt.

Phase Noise DDS AD9951, F_{CLOCK} 416 MHz, F_{OUT} = 18,75 MHz



Bei 10 kHz sind wieder -130 dBc/Hz zu sehen. Dies lässt den Schluss zu, dass meine Referenz 18,75 MHz besser ist, also mindestens -134 dBc/Hz, wie oben gerechnet. Der aktuelle Phasenrausch-Plot zeigt offensichtlich das Phasenrauschen der Messanordnung mit hp 4352A als Signalanalyzer und hp 8665A als Signalgenerator.

Ich werde in Kürze ein 2. Design mit dem PLL-Chip HMC439QS16G von Hittite beginnen, davon erhoffe ich mir eine Verbesserung, falls der aktuelle PLL-Chip ADF4002 die schwächste Stelle ist, sonst müsste die Clockerzeugung für den DDS verbessert werden.