

## 5. Zwischenbericht Synthesizer Bavarix

### 1. Allgemeine Überlegungen

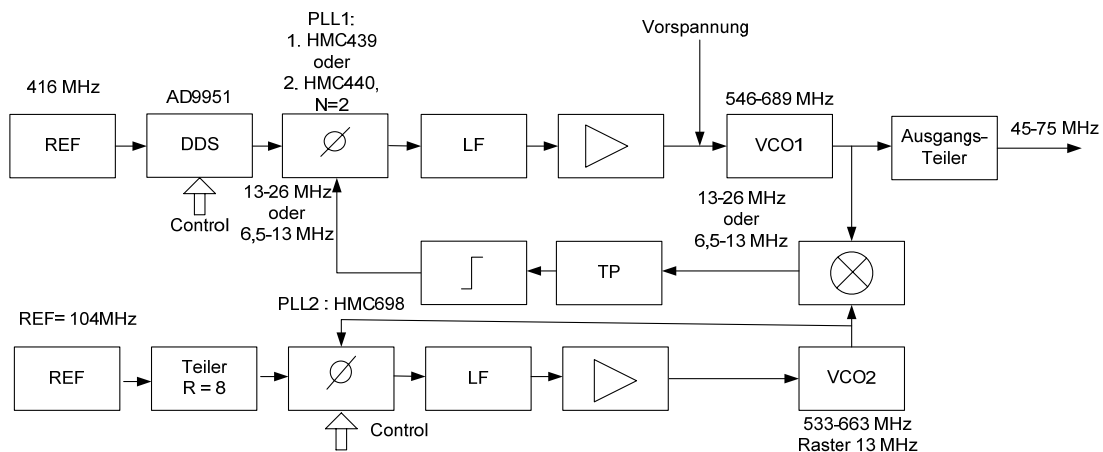
Im letzten Bericht (4. Zwischenbericht Synthesizer Bavarix) habe ich einen diskreten Phasen-Frequenz-Diskriminator (PFD) mit Flip-Flops untersucht. Die Ergebnisse waren nicht wie erwartet, deshalb wurde nach weiteren Lösungen gesucht.

Inzwischen wurde von Hittite ein neuer PLL-Chip HMC698LP5E veröffentlicht, den ich noch untersuchen wollte. Vom Vertreter der deutschen Niederlassung wurde mir freundlicherweise ein Testboard zur Verfügung gestellt. Gleichzeitig erhielt ich nochmal Muster der schon bekannten Typen HMC439 und HMC440.

Während der HMC439-Chip nur aus einem Phasen-Frequenz-Diskriminator besteht, beinhaltet der HMC440 einen zusätzlichen integrierten programmierbaren Teiler von 2 bis 32, der HMC698 einen entsprechenden Teiler von 12 bis 259. Laut Datenblatt arbeiten die Teiler ab 80 bis 5000 MHz, ich konnte allerdings mit einem NC7SZ125-Treiber eine untere Grenze bei ca. 8 MHz feststellen.

Diese Bauteile sollten in dem für den Bavarix-Empfänger vorgesehenen Synthesizer ausgetestet werden. Das bisherige Blockschaltbild wird dann wie folgt variiert.

Das Blockschaltbild : Synthesizer mit Mischer in der PLL-Hauptschleife

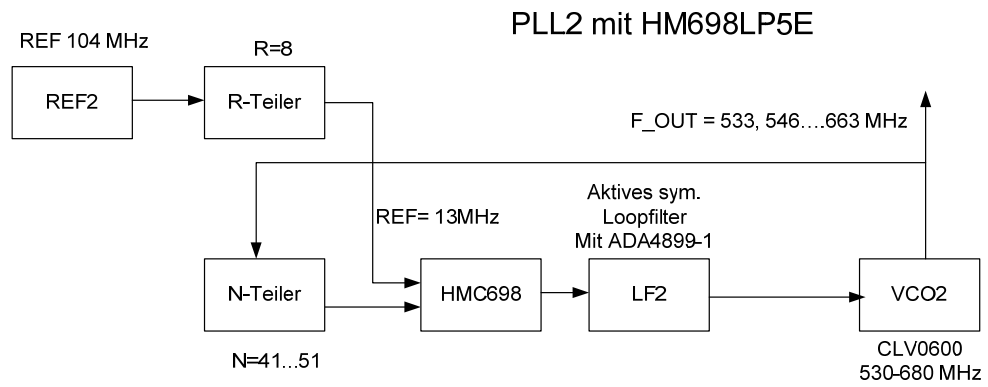


### 2. PLL2 mit HMC698LP5E

Es wurde zuerst das Phasenrauschen des HMC698 mit 13 MHz und 6,5 MHz Raster untersucht.

## 2.1 Blockschaltbild

Einzelheiten zum Testaufbau finden sie auch in [1].

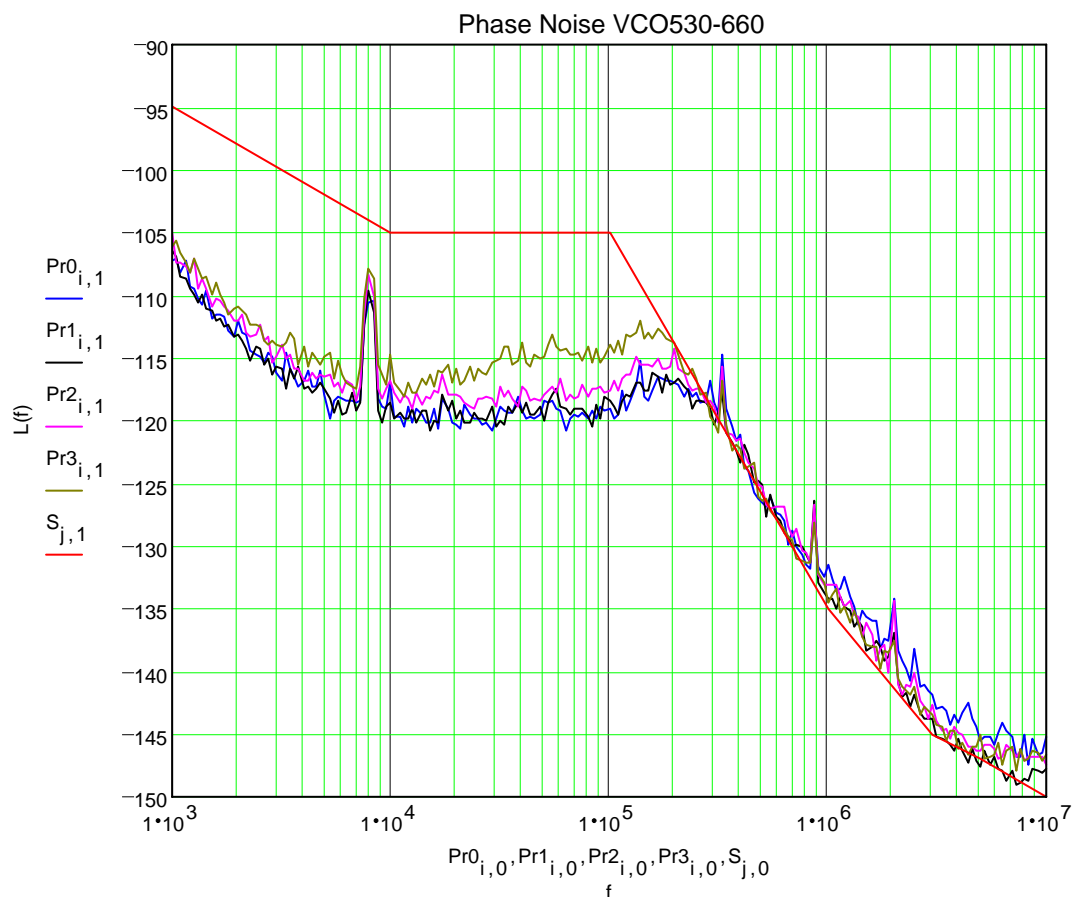


## 2.2 Phasenrauschen HMC698LP5

### 2.2.1 Raster 13 MHz

#### 2.2.1.1 Phasenrauschen

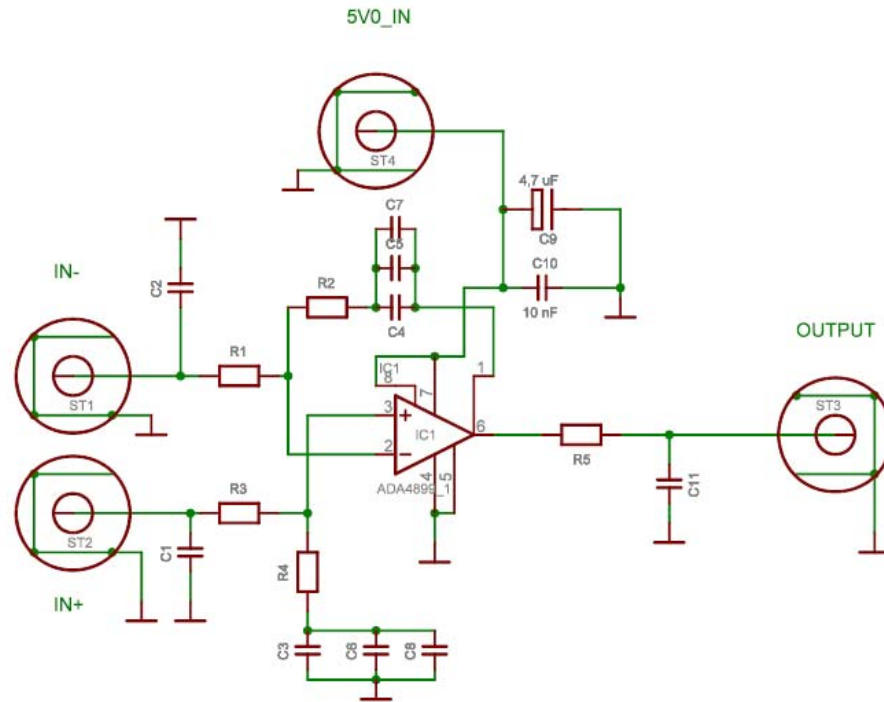
Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL2 mit HMC698LP5,  $F_{REF} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899 symmetrisch,  $C1, C3 = 220\text{ pF}$ ;  $R1, R3 = 42$ ;  
 $R2, R4 = 150$ ;  $C3, C4 = 5,6\text{ nF}$ ;  $R5 = 100$ ,  $C11 = 1\text{ nF}$   
 $F1 = 533\text{ MHz}$ ,  $F2 = 546\text{ MHz}$ ,  $F3 = 598\text{ MHz}$ ,  $F4 = 663\text{ MHz}$



Hier wurde das Loopfilter optimiert.

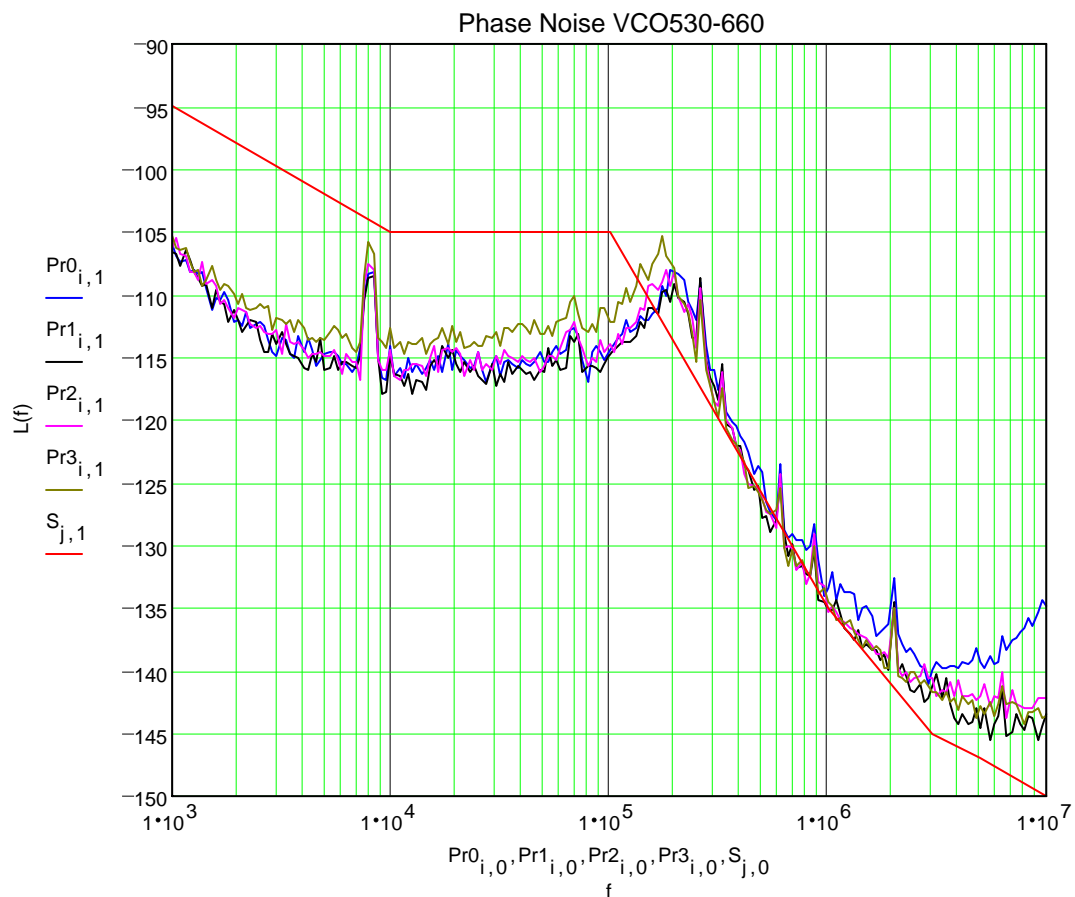
### 2.2.1.2 Loopfilter

Es sind nicht alle Bauteile bestückt.



## 2.2.2 Raster 6,5 MHz

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL2 mit HMC698LP5,  $F_{REF} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899 symmetrisch,  $C1, C3 = 330\text{ pF}$ ;  $R1, R3 = 42$ ;  
 $R3, R4 = 120$ ;  $C2, C4 = 10\text{ nF}$ ;  $R5 = 100$ ;  $C11 = 1\text{ nF}$   
 $F1 = 533\text{ MHz}$ ,  $F2 = 546\text{ MHz}$ ,  $F3 = 598\text{ MHz}$ ,  $F4 = 663\text{ MHz}$



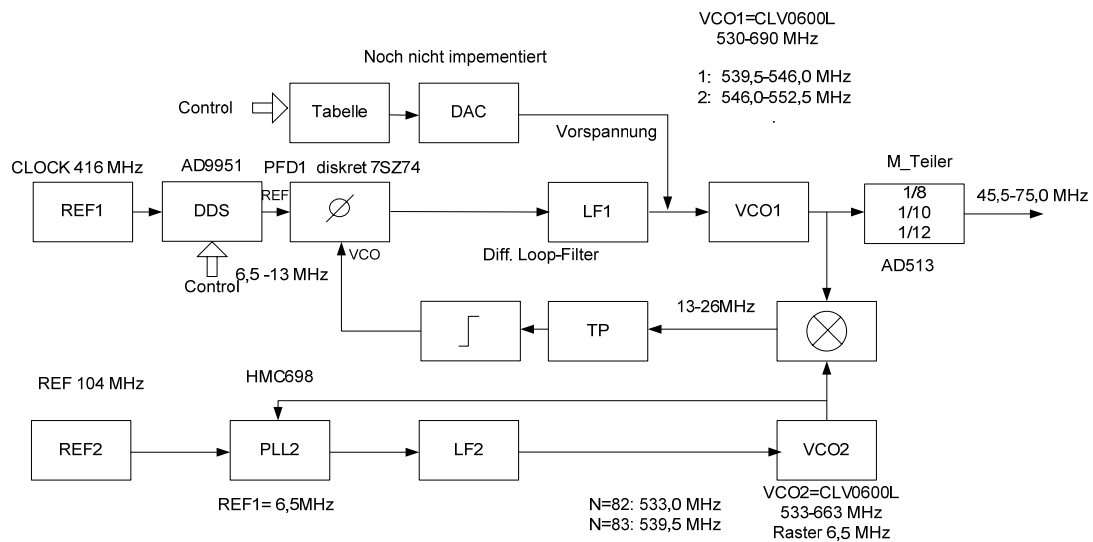
Das Loopfilter ist nicht optimiert. Wegen dem höheren Teiler ist das In-Band-Phasenrauschen zwischen 5 und 100 kHz ca. 4-5 dB schlechter (theoretisch 6 dB).

Im Vergleich zur ADF4106-PLL mit 6,5 MHz Raster aber deutlich besser (10 dB)

### 3. Messergebnisse Phasenrauschen für gesamten LO mit HMC698 als PLL2

#### 3.1 Synthesizer mit diskretem PFD in der Loop1

##### 3.1.1 Aufbau



Low Noise Synthesizer für Bavarix

### 3.1.2 Phasenrauschen

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

PLL1 PDF diskret mit 7SZ74,  $REF1 = 6,5\text{ MHz DDS (6,8 MHz)}$

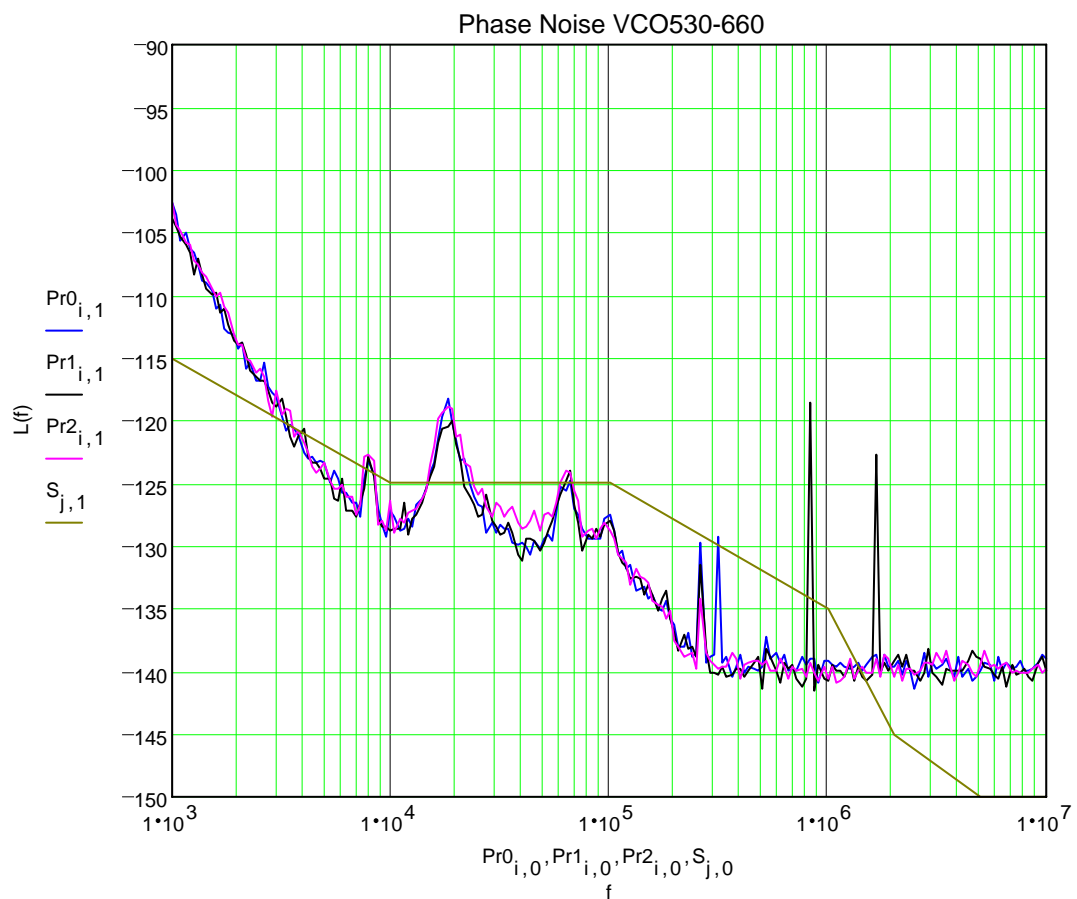
PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 16$ ; Channel-Spacing = 6,5 MHz

Loop-Filter mit ADA4899 symmetrisch

$F_{PLL2\_OUT1} = 533\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT3} = 663\text{ MHz}$ ;

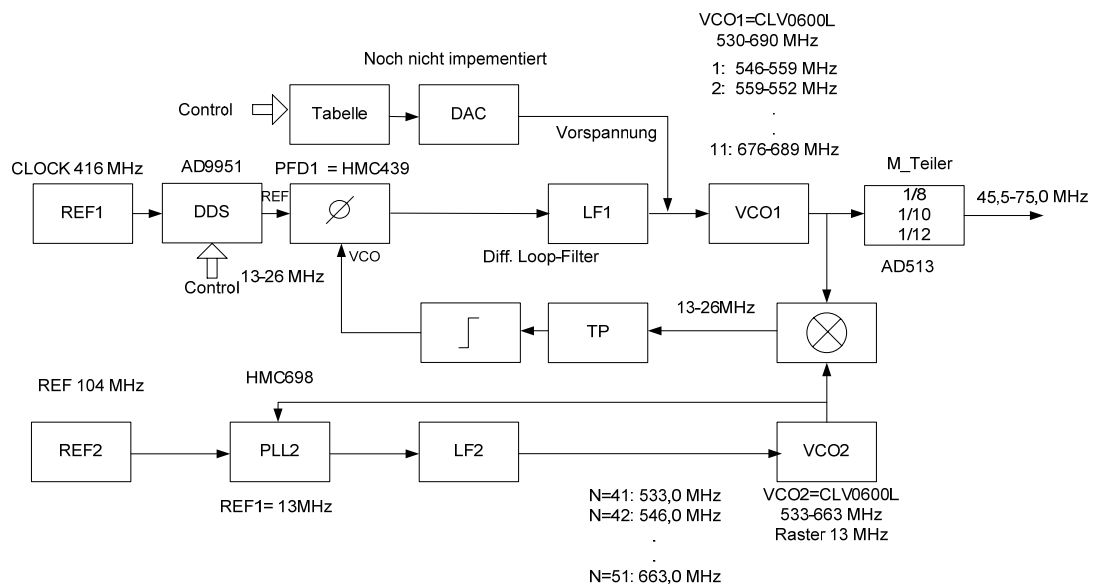
$F = (PLL2 + REF1)/10$

$F1 = 53,98\text{ MHz}$ ,  $F2 = 60,48\text{ MHz}$ ,  $F3 = 66,98\text{ MHz}$



### 3.2 Synthesizer mit HMC439QS16 in Loop1

#### 3.2.1 Aufbau



Low Noise Synthesizer für Bavarix



### 3.2.2 Phasenrauschen

#### 3.2.2.1 Referenz DDS 13 MHz

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

PLL1 mit HMC439HQ16, REF1 = 13 MHz DDS (13,6 MHz)

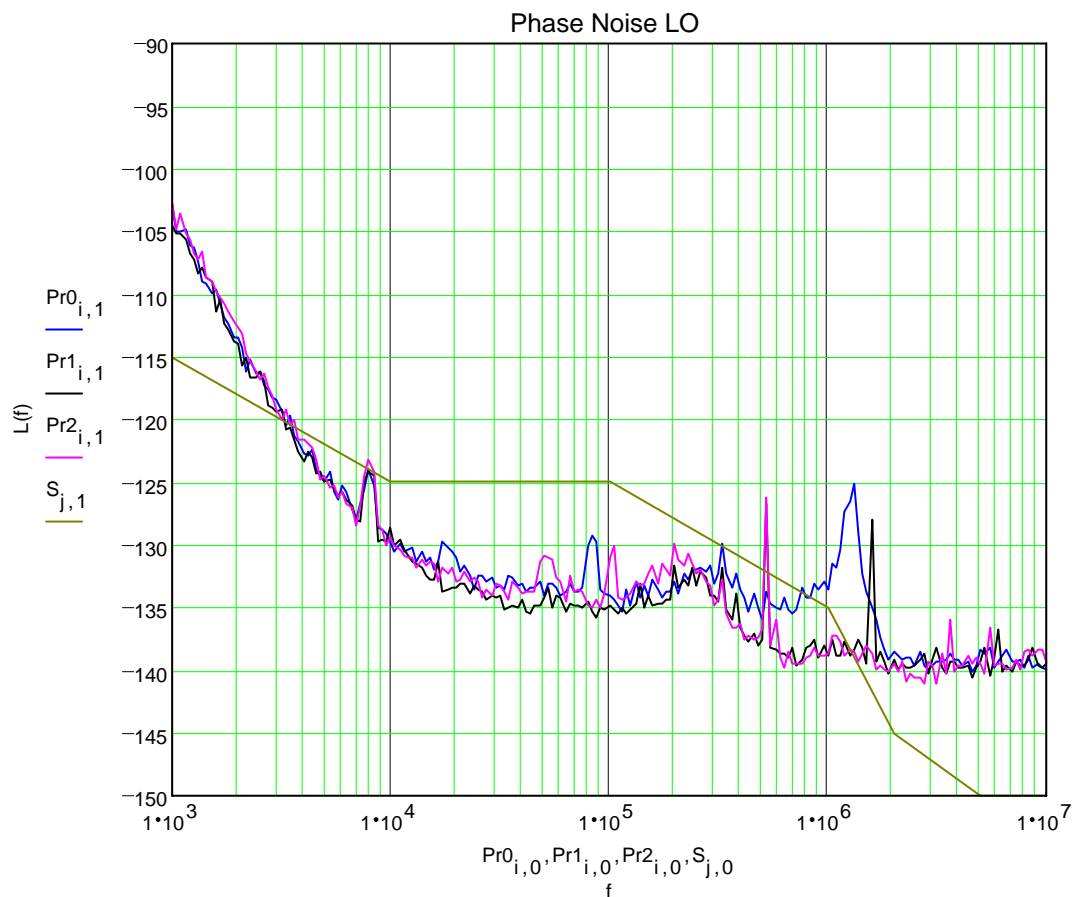
PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz

Loop-Filter mit ADA4899 symmetrisch

$F_{PLL2\_OUT1} = 533\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT3} = 663\text{ MHz}$ ;

$F = (PLL2 + REF1) / 10$

$F1 = 54,86\text{ MHz}$ ,  $F2 = 61,15\text{ MHz}$ ,  $F3 = 67,65\text{ MHz}$



### 3.2.2.2 Referenz DDS 26 MHz

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

PLL1 mit HMC439QS16,  $\text{REF1} = 26\text{ MHz DDS (27,0 MHz)}$

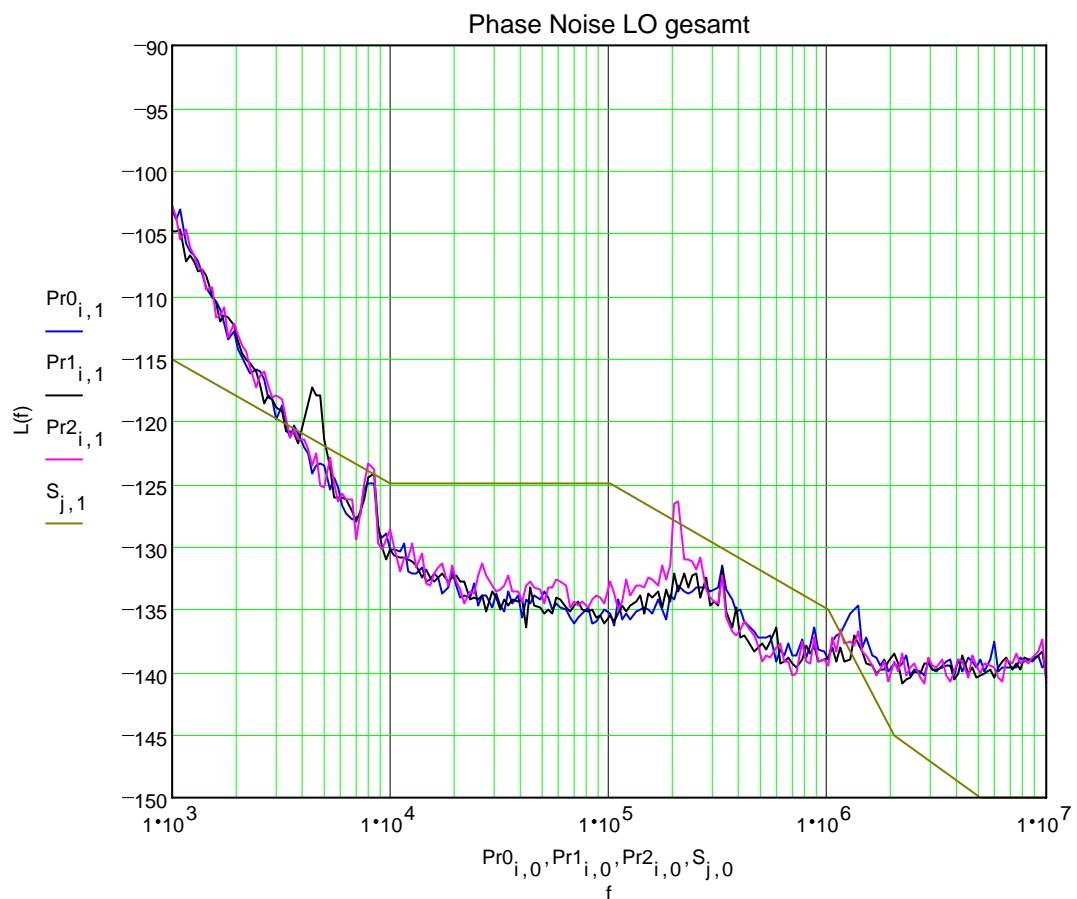
PLL2 mit HMC698,  $F_{\text{REF2}} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz

Loop-Filter mit ADA4899 symmetrisch

$F_{\text{PLL2\_OUT1}} = 533\text{ MHz}$ ;  $F_{\text{PLL2\_OUT2}} = 598\text{ MHz}$ ;  $F_{\text{PLL2\_OUT3}} = 663\text{ MHz}$ ;

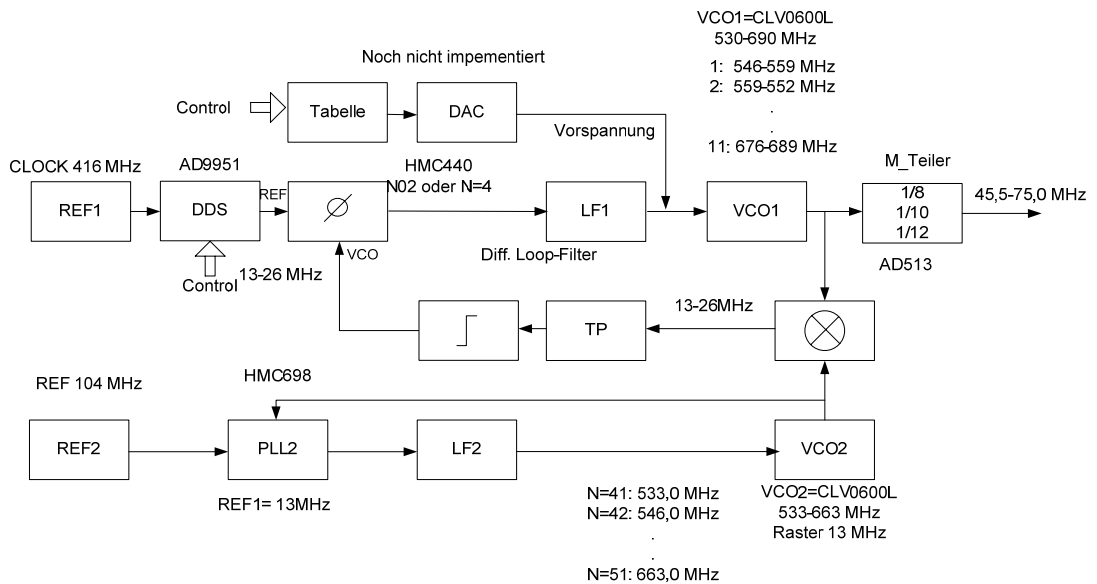
$F = (\text{PLL2} + \text{REF1})/10$

$F1 = 56,00\text{ MHz}$ ,  $F2 = 62,50\text{ MHz}$ ,  $F3 = 69,00\text{ MHz}$



### 3.3 Synthesizer mit HMC440QS16 in der Loop1

#### 3.3.1 Aufbau

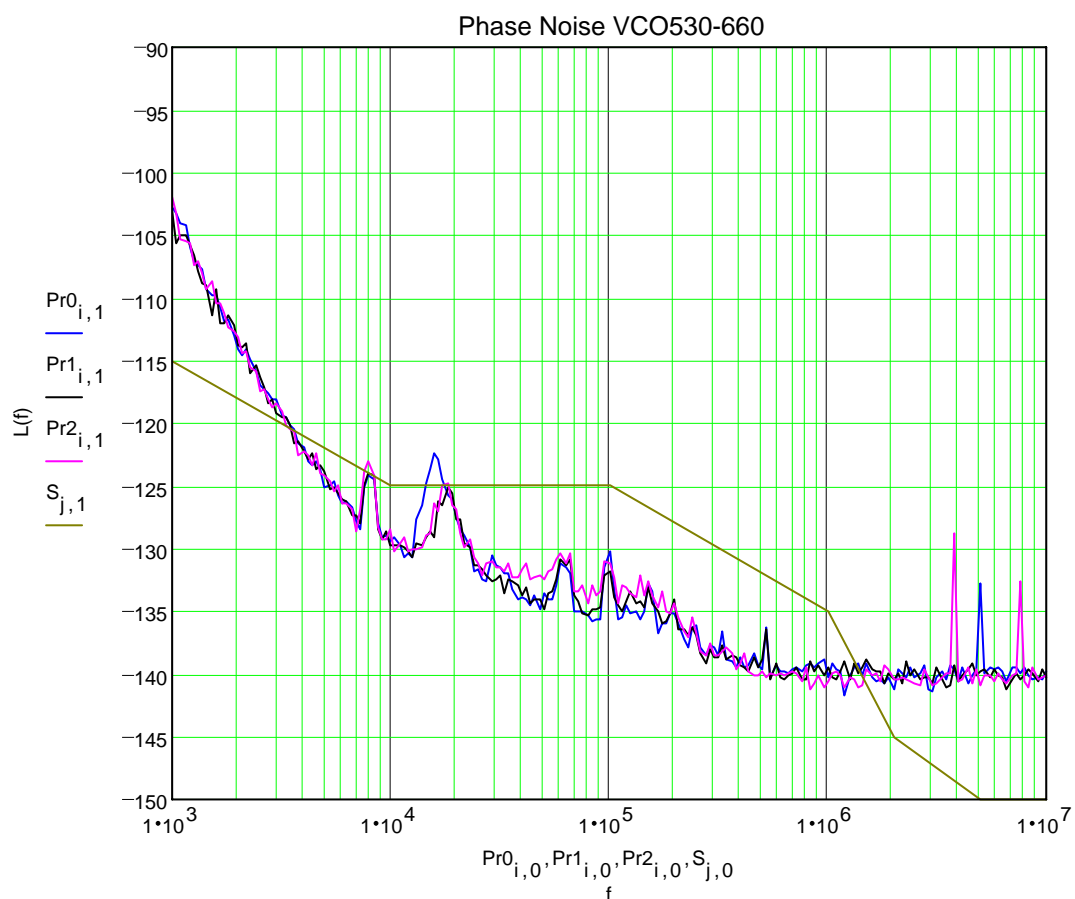


Low Noise Synthesizer für Bavarix

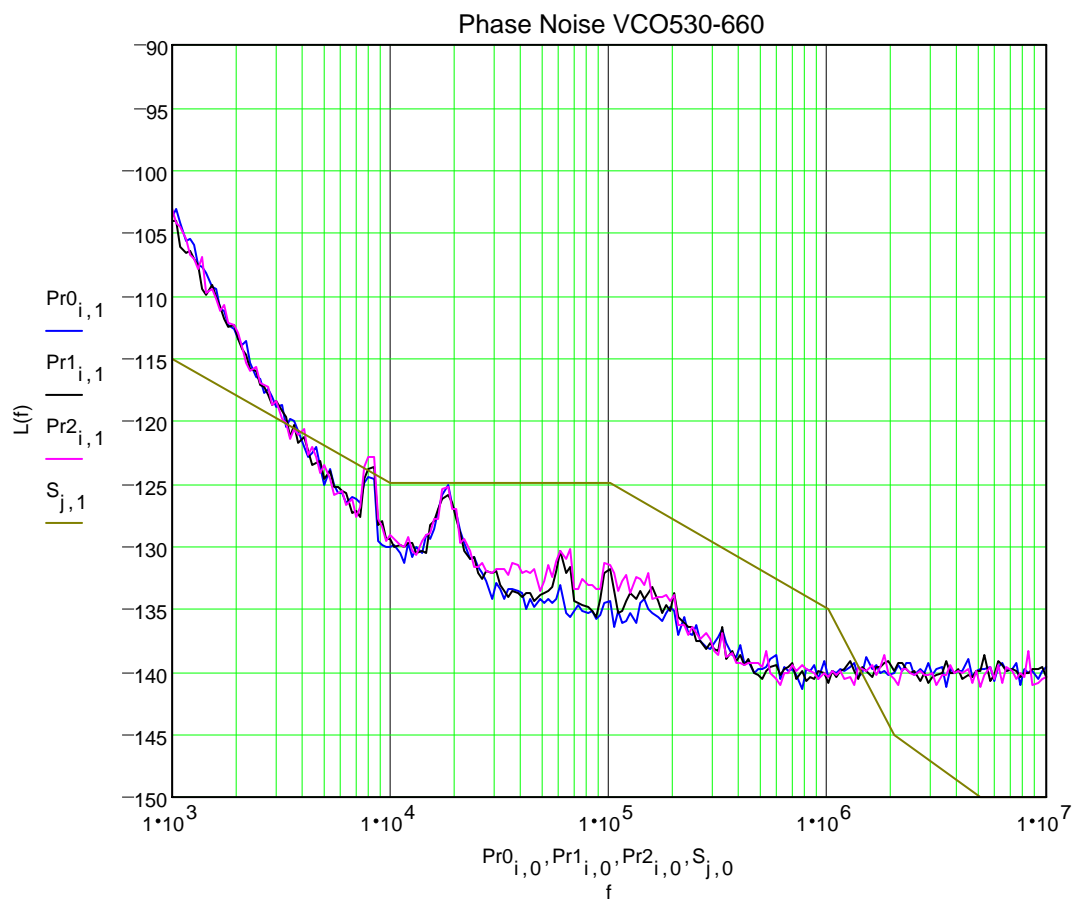
### 3.3.2 Meßergebnis Phasenrauschen

#### 3.3.2.1 Teiler N=2 im HMC440

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL1 HMC440QS16,  $N=2$ ; REF1 = 9,5 MHz DDS (9,9 MHz)  
 PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899 symmetrisch  
 $F_{PLL2\_OUT1} = 533\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT3} = 663\text{ MHz}$ ;  
 $F = (PLL2 + REF1)/10$   
 $F1 = 55,28\text{ MHz}$ ,  $F2 = 61,78\text{ MHz}$ ,  $F3 = 68,28\text{ MHz}$

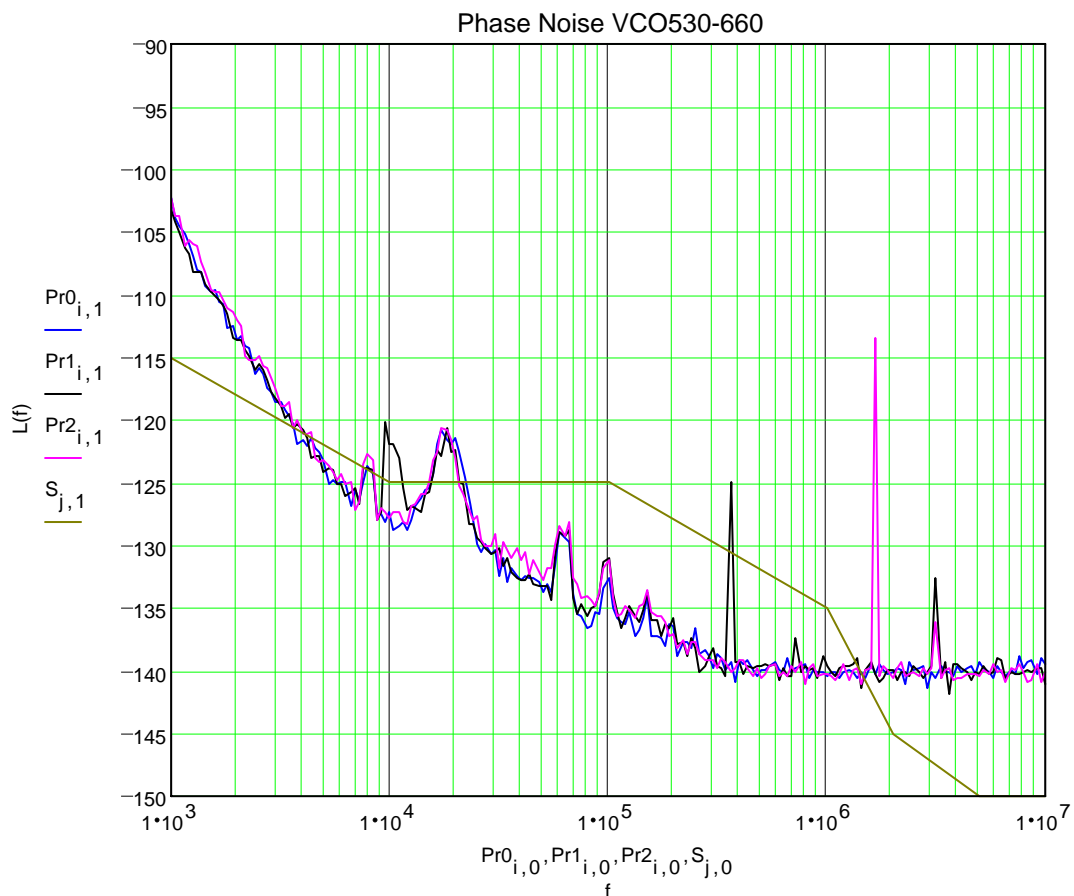


Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL1 mit HMC440QS16, REF1 = 15 MHz DDS (15,6 MHz)  
 PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899 symmetrisch  
 $F_{PLL2\_OUT1} = 533\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT3} = 663\text{ MHz}$ ;  
 $F = (PLL2 + REF1)/10$   
 $F1 = 56,63\text{ MHz}$ ,  $F2 = 63,13\text{ MHz}$ ,  $F3 = 69,63\text{ MHz}$



### 3.3.2.2 Teiler N=4 im HMC440

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$   
 PLL1 HMC440QS16,  $N=4$ ; REF1 = 10 MHz DDS (10,4 MHz)  
 PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 13 MHz  
 Loop-Filter mit ADA4899 symmetrisch  
 $F_{PLL2\_OUT1} = 533\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT3} = 663\text{ MHz}$ ;  
 $F = (PLL2 + REF1)/10$   
 $F1 = 55,28\text{ MHz}$ ,  $F2 = 61,78\text{ MHz}$ ,  $F3 = 68,28\text{ MHz}$



### 3.3.3 Diskussion der Ergebnisse

Im Vergleich zu den früheren Ergebnissen mit ADF4106 und diskreten PFDs in PLL1 und PLL2 sind die Phasenrauschwerte deutlich besser. Während die früheren Kombinationen (siehe Zwischenbericht 3 und 4) Werte im Bereich -120 bis -125 dBc/Hz ergaben, so messe ich hier durchweg Werte von -130 bis -135 dBc/Hz. Man kann auch sehen dass unterhalb 10kHz und oberhalb 100 kHz die Werte immer gleich sind, zudem zeigen die letzten Plots kaum noch Unterschiede im Bereich 10-

100 kHz, das heißt aber auch, dass hier die Messgrenze des Signal-Analyzer hp 4352A erreicht ist.

Außerdem wollte ich natürlich auch wissen, wie das Phasenrauschen unter 1 kHz nun wirklich ist, deshalb habe ich fast alle sinnvollen Kombinationen noch mit dem Agilent Signal Source Analyzer E5052 gemessen. Leider habe ich dieses Messgerät nur selten zur Verfügung.

## 4. Phasenrauschmessung des gesamten LO's mit E5052 Signal-Analyzer

### 4.1 ADF4106 in PLL2

#### 4.1.1 Phasenrauschen

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

1. PLL1 HMC439 , REF1 = 20 MHz DDS (20,8 MHz) Channel-Spacing = 6,5 MHz
2. PLL1 HMC440 , REF1 = 10 MHz DDS (10,4 MHz)
3. PLL1 PFD diskret 7SZ74 , REF1 = 20 MHz DDS (20,8 MHz)
4. PLL1 HMC440 , REF1 = 10 MHz DDS (10,4 MHz) Channel-Spacing = 6,5 MHz

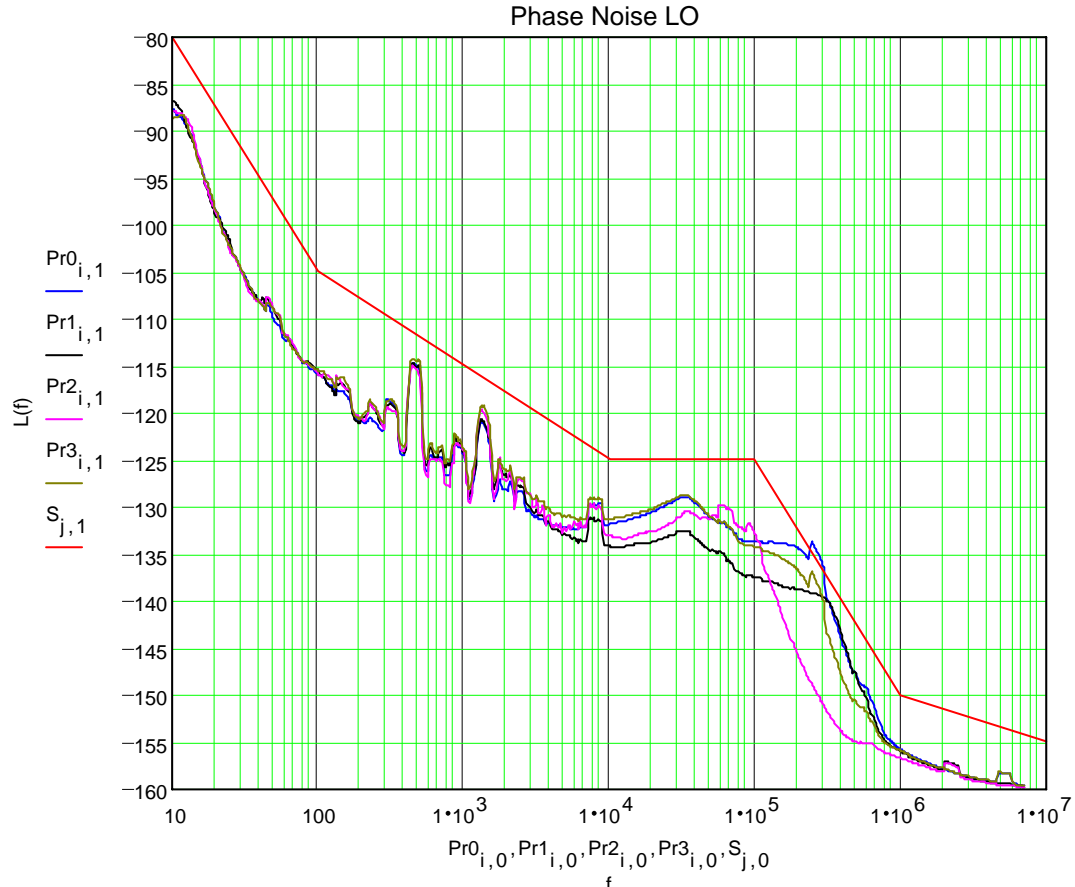
PLL2 mit ADF4106,  $F_{REF2} = 104\text{ MHz}$ ,  $R = 8$ ; Channel-Spacing = 6,5 oder 13 MHz

Loop-Filter mit ADA4899 symmetrisch, optimiert

$F_{PLL2\_OUT1} = 598\text{ MHz}$ ;  $F_{PLL2\_OUT2} = 585\text{ MHz}$ ;

$F = (PLL2 + REF1)/10$ ;

$F1 = 61,88\text{ MHz}$  bzw.  $F2 = 60,58$  wegen Missing Code ADF4106 bei 13 MHz





### 4.1.2 Ergebnis

Das beste Ergebnis erhält man mit der Variante 2. Da allerdings der ADF4106 mit einem 13 MHz-Raster Fehlstellen hat kann (hier 598 MHz), bin ich auf 585 MHz ausgewichen. Ein vollständiges 13 MHz-Raster kann man zum Beispiel mit ADF4002 und Vorteiler erreichen.

Bei einem Raster von 6,5 MHz für PLL2 ist zwischen Variante 1 und 4 kaum ein Unterschied. Vorteil für den HMC440 ist hier, dass die Referenz vom DDS nur den halben Durchstimmbereich benötigt wegen dem internen Teiler von 2.

Variante 3 zeigt das Phasenrauschen mit dem diskreten PFD. Hier fällt auf, dass das Loopfilter oberhalb 100 kHz steiler abfällt. Leider hab ich die Variante mit 6,5 MHz vergessen zu messen. Es ist aber anzunehmen, dass die Kurve sich um max. 6dB anhebt. Somit wäre auch die Variante ADF4106 mit 6,5 MHz Raster und diskretem Phasendiskriminator eine Lösung, die immer noch unter dem gewünschten Wert von -125 dBc/Hz bleibt.

## 4.2 HMC698 in PLL2

### 4.2.1 Vergleich PLL1 ( HMC439, HMC440, PFD diskret

#### 4.2.1.1 Messung Phasenrauschen

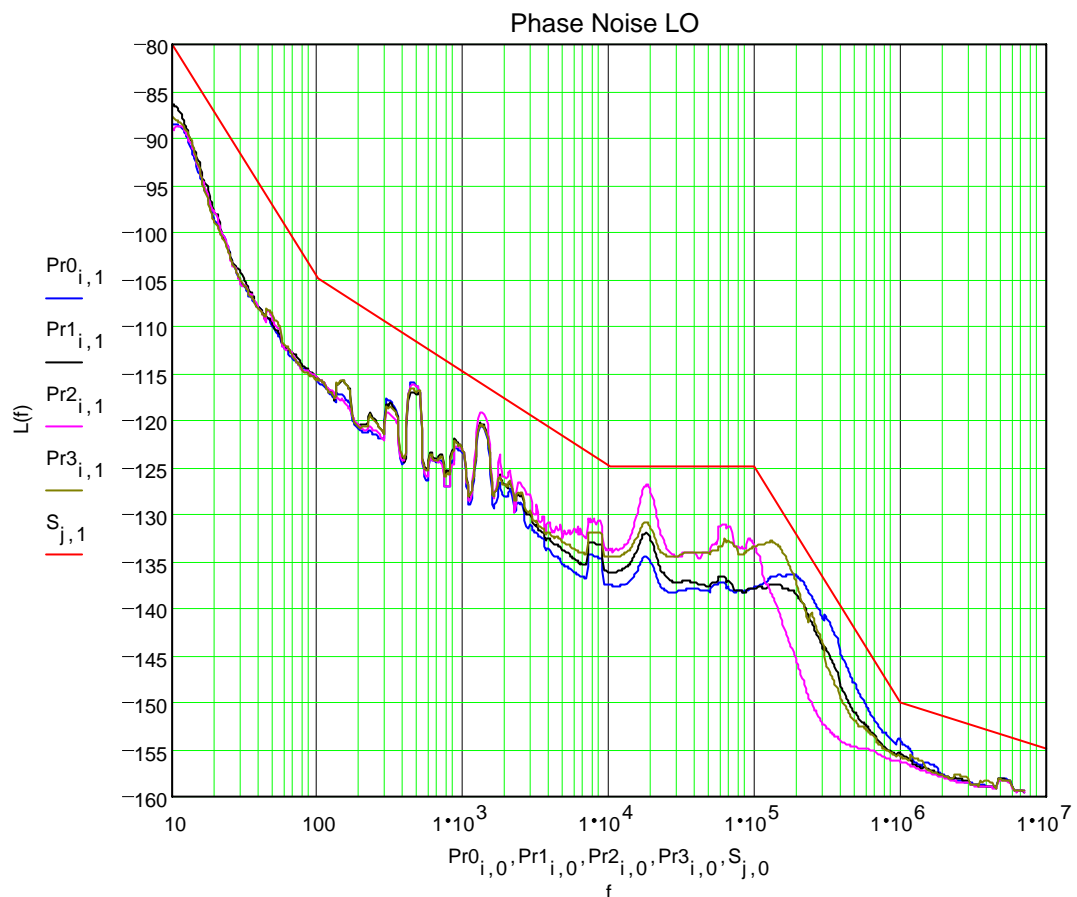
Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

1. PLL1 HMC439 , REF1 = 20 MHz DDS (20,8 MHz)
2. PLL1 HMC440; N=2; REF1 = 10 MHz DDS (10,4 MHz)
3. PLL1 PFD diskret 7SZ74 , REF1 = 20 MHz DDS (20,8 MHz)
4. PLL1 HMC440; N =2; REF1 = 10 MHz DDS (10,4 MHz) Channel-Spacing = 6,5 MHz

PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ , R = 16 oder 8; Channel-Spacing = 6,5 oder 13 MHz

Loop-Filter mit ADA4899 symmetrisch, optimiert

$F_{PLL2\_OUT1} = 598\text{ MHz}$ ;  $F = (PLL2 + REF1)/10$ ;  $F1 = 61,88\text{ MHz}$



#### 4.2.1.2 Ergebnis

Das beste Ergebnis liefert Variante 1 mit HMC439, dicht gefolgt von Variante 2 mit HMC440, etwas schlechtere Werte im Bereich 10 kHz wegen Teiler  $N=2$ , dafür aber wieder nur halber DDS-Frequenzbereich notwendig.

Variante 3 mit dem diskreten PDF zeigt wieder ähnliches Verhalten wie oben mit 4-5 dB Verschlechterung.

Variante 4 ist auch klar, da PLL2 nur mit 6,5 MHz gerastet ist.

Generell ist mit dem PLL-Chip HMC698 in der PLL2 etwa 2-3 dB besseres Phasenrauschverhalten zu erkennen.

## 4.2.2 Vergleich PLL1 (HMC440 mit N=2, N=4)

### 4.2.2.1 Phasenrauschen

Phase Noise ZCOMM CLV600A-LF, F\_VCO=530-660MHz

1. PLL1 HMC440 ; N=2; REF1 = 10 MHz DDS (10,4 MHz)
2. PLL1 HMC440 ; N=4; REF1 = 10 MHz DDS (10,4 MHz)
3. PLL1 HMC440 ; N=2; REF1 = 10 MHz DDS (10,4 MHz) Channel-Spacing =6,5
4. PLL1 HMC440 ; N=4; REF1 = 10 MHz DDS (10,4 MHz) Channel-Spacing =6,5

PLL2 mit HMC698, F\_REF2 = 104 MHz, R = 8 oder 16;

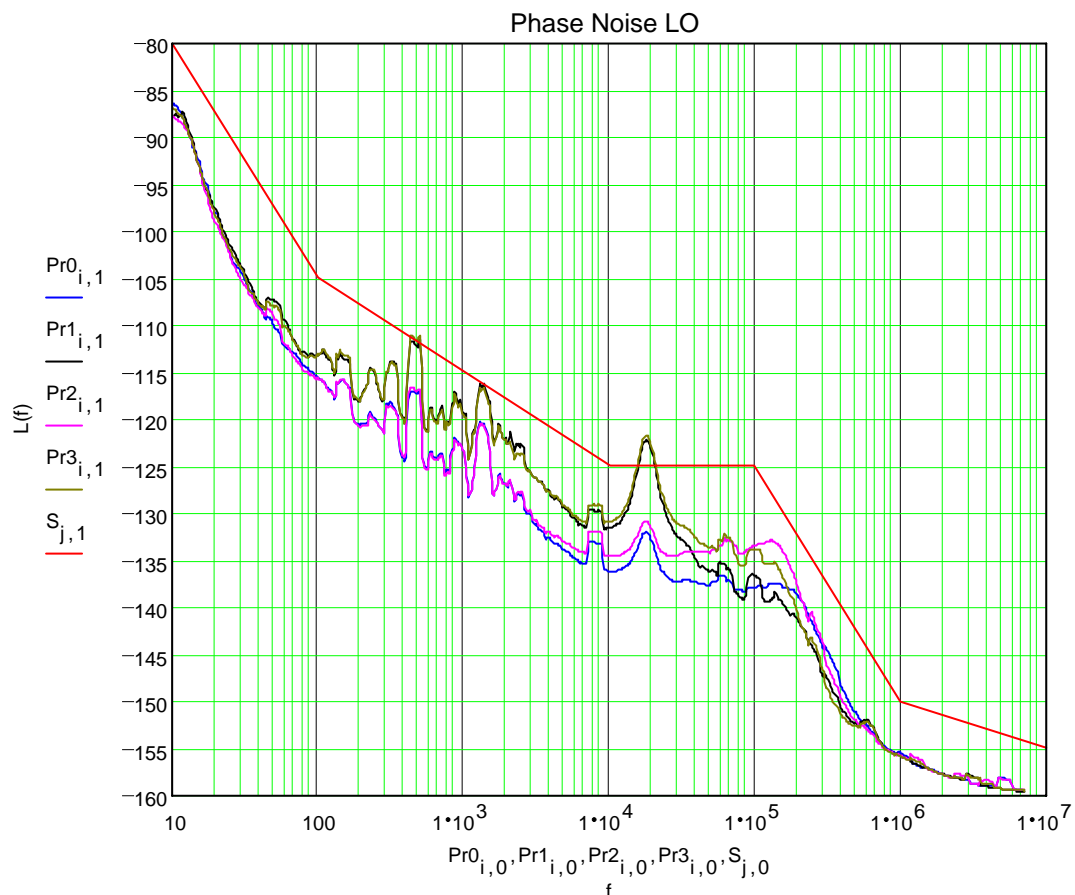
Channel-Spacing =6,5 oder 13 MHz

Loop-Filter mit ADA4899 symmetrisch, optimiert für Raster 13 MHz

F\_PLL2\_OUT1 = 598 MHz;

F\_OUT1 = (PLL2 +2\*REF1 )/10; FOUT2 = (PLL2 +4\* REF1 )/10

F1 = 61,88 MHz, F2 = 63,96 MHz,



### 4.2.2.2 Ergebnis

Hier sollte nochmals der Einfluss des Teilerfaktors im HMC440-Chip

untersucht werden. Variante 1 und 3 unterscheiden sich im Rasterabstand in PLL2 (6,5 oder 13 MHz), dies führt zu 4-5 dB Unterschied im Bereich 10 - 200 kHz. Variante 2 und 4 mit N=2 und N=4 im HMC440 zeigt dann eine kontinuierliche Verschlechterung im Bereich 100 Hz bis 200 kHz.

### 4.3 Vergleich mit SME03

Phase Noise ZCOMM CLV600A-LF,  $F_{VCO}=530-660\text{MHz}$

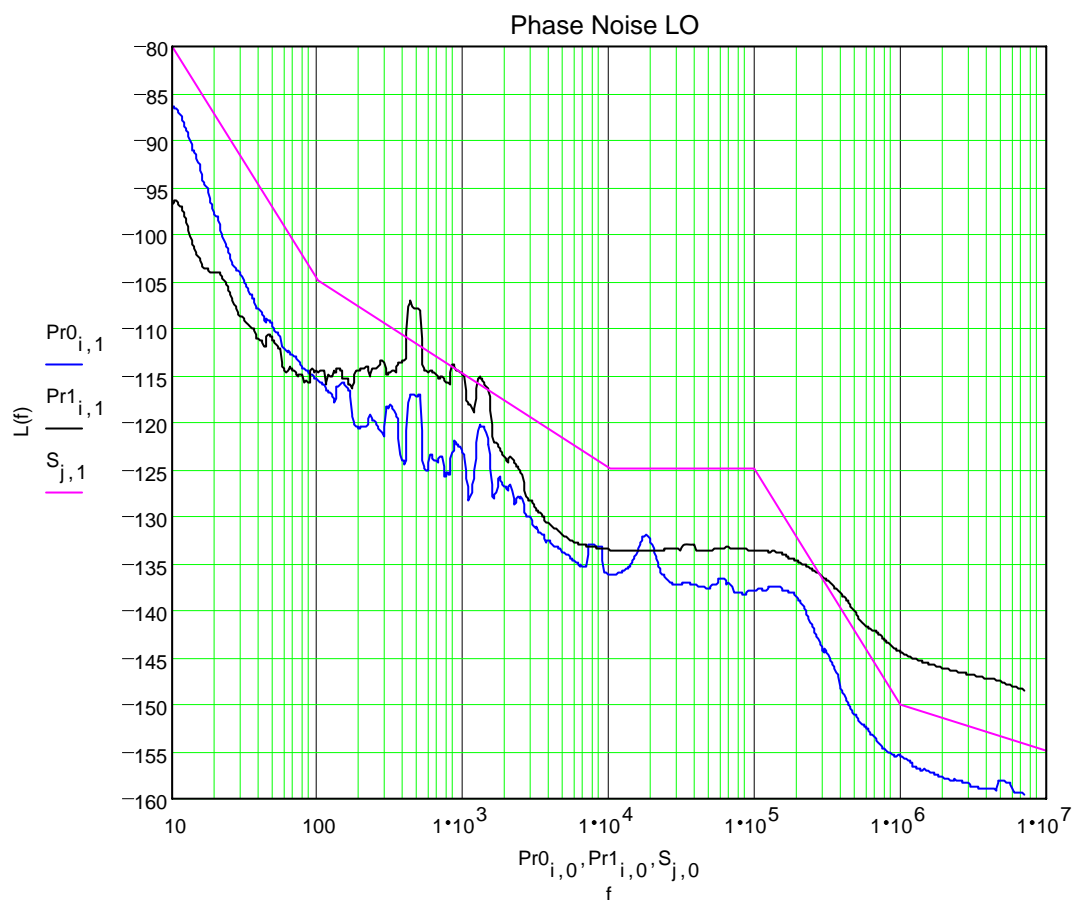
PLL1 HMC440; N=2; REF1 = 10 MHz DDS (10,4 MHz)

PLL2 mit HMC698,  $F_{REF2} = 104\text{ MHz}$ , R = 8; Channel-Spacing = 13 MHz

Loop-Filter mit ADA4899 symmetrisch, optimiert

$F_{PLL2\_OUT1} = 598\text{ MHz}$ ;  $F = (PLL2 + REF1)/10$ ;  $F1 = 61,88\text{ MHz}$

Vergleich mit R&S Signalgenerator SME03

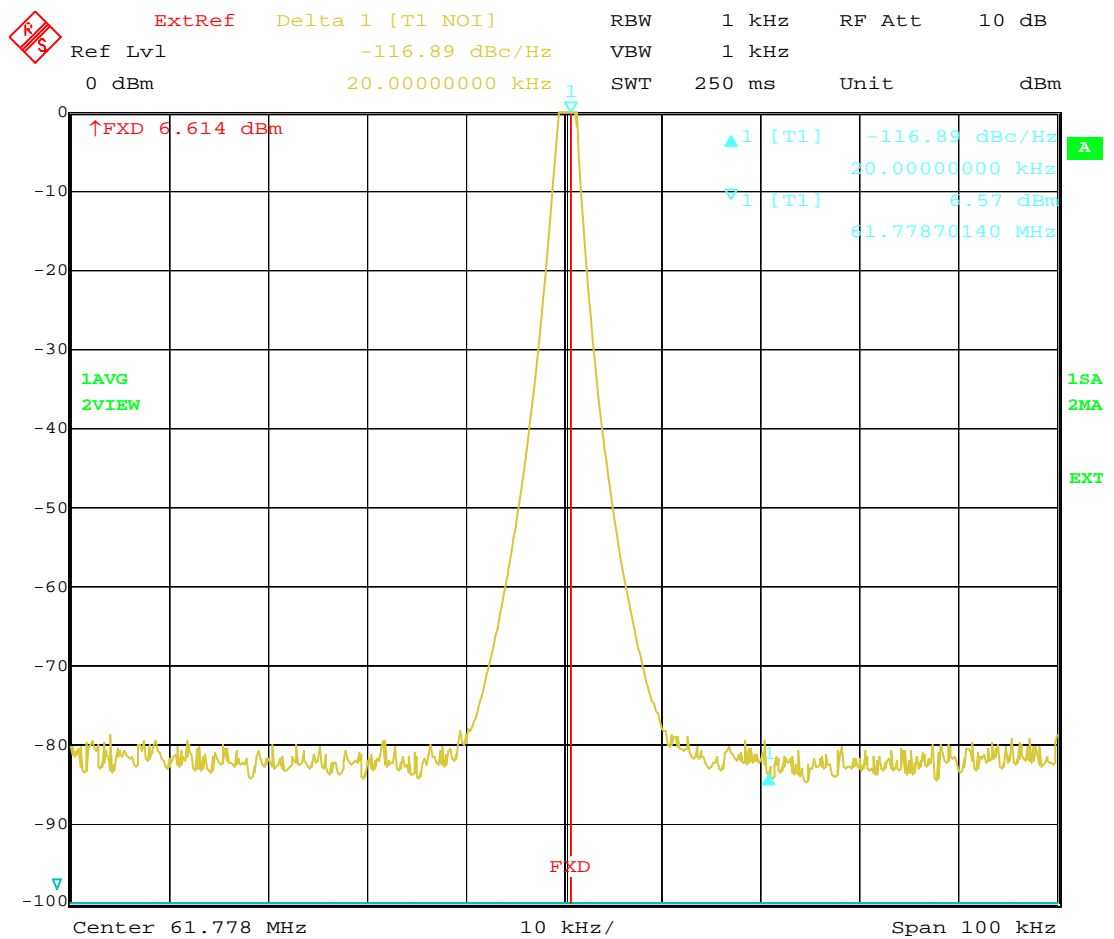


### 5. Spektrum

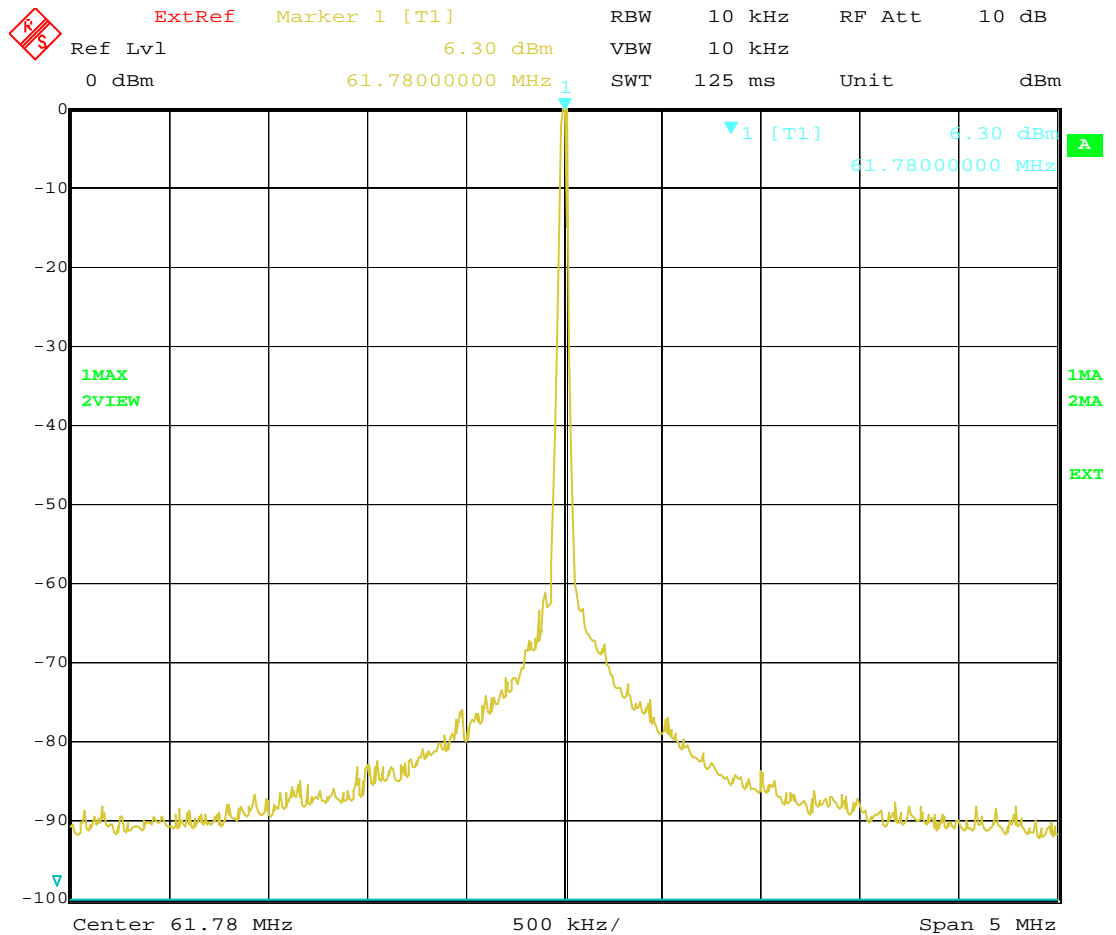
Das Spektrum für eine zufällig eingestellte Frequenz von 61,78 MHz zeigen die folgenden Spektrogramme.

PLL2 mit HMC698 und PLL1 mit HMC440.

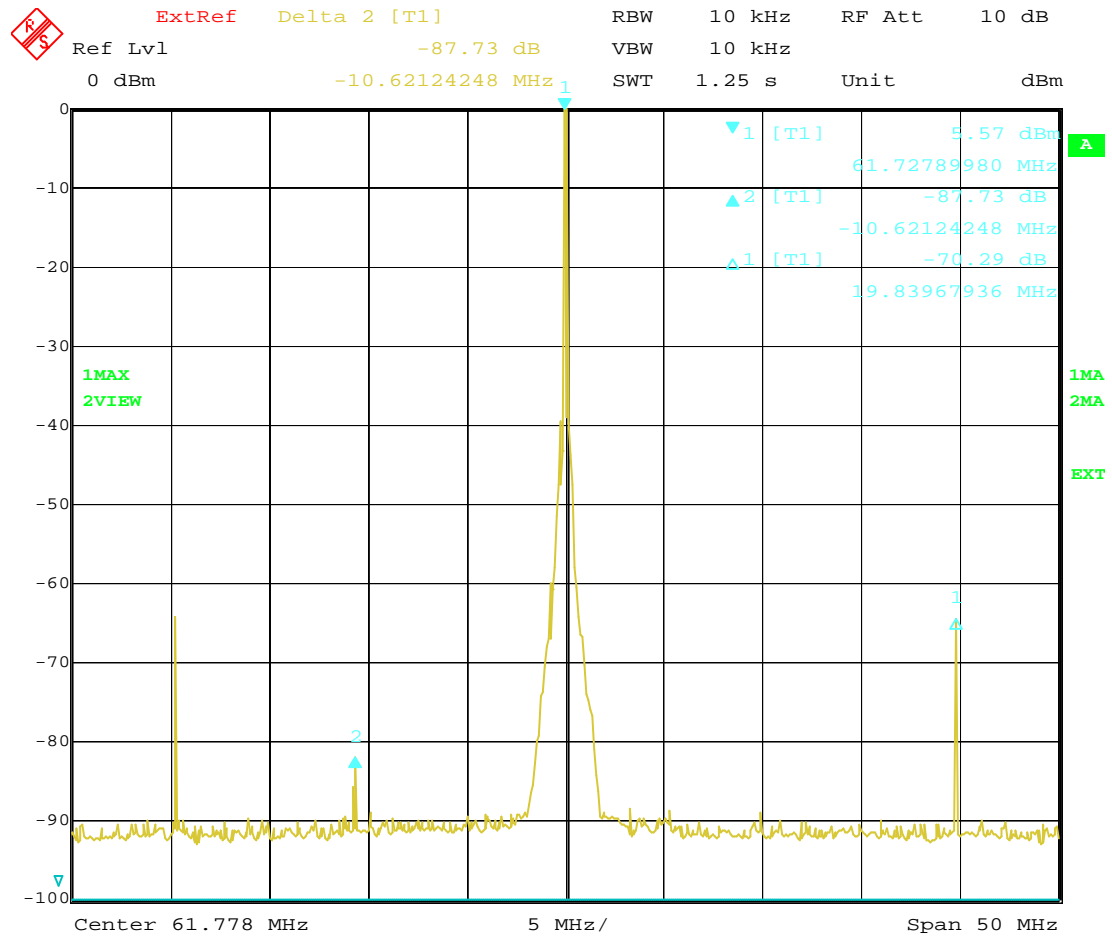
REF 1 = 9,5 MHz (tatsächlich 9,9 MHz); REF 2 = 13 MHz



Date: 8.JAN.2009 12:52:51



Date: 8.JAN.2009 12:51:02



Date: 8.JAN.2009 12:55:53

Delta-Marker1 = 19,8 MHz: -70,3 dBc Referenzfrequenz Loop1  
 Delta-Marker2 = -10,6 MHz: -87,7 dBc Nebenlinie



## 6. Aussteuerung DDS für Bavarix-Synthesizer

HMC440 N = 2

Raster VCO2 = 13 MHz

F\_LO = 45,1 -75,0 MHz

F\_DDS = 10-16,5 MHz

F\_PDF = 20 -33 MHz

$F_{LO} = (F_{VCO2} + F_{PDF})/M$

F_VCO2	F_VCO1_min	F_VCO1_max	Teiler 12		Teiler 10		Teiler 8	
			LO_min	LO_max	LO_min	LO_max	LO_min	LO_max
13	20	33	12	12	10	10	8	8
520	540	553	45	46,08333333	54	55,3	67,5	69,125
533	553	566	46,08333333	47,16666667	55,3	56,6	69,125	70,75
546	566	579	47,16666667	48,25	56,6	57,9	70,75	72,375
559	579	592	48,25	49,33333333	57,9	59,2	72,375	74
572	592	605	49,33333333	50,41666667	59,2	60,5	74	75,625
585	605	618	50,41666667	51,5	60,5	61,8	75,625	77,25
598	618	631	51,5	52,58333333	61,8	63,1	77,25	78,875
611	631	644	52,58333333	53,66666667	63,1	64,4	78,875	80,5
624	644	657	53,66666667	54,75	64,4	65,7	80,5	82,125
637	657	670	54,75	55,83333333	65,7	67	82,125	83,75
650	670	683	55,83333333	56,91666667	67	68,3	83,75	85,375
663	683	696	56,91666667	58	68,3	69,6	85,375	87
676	696	709	58	59,08333333	69,6	70,9	87	88,625

Für eine untere Rasterfrequenz von 533 MHz mit PLL2 kann durch die Einführung des HMC440 in PLL1 die LO-Frequenzen zwischen 45 und 46,08... MHz nicht mehr eingestellt werden. Deshalb wird ein zusätzlicher Ausgangsteiler mit dem Teilfaktor 14 eingeführt. Will man den LO in 1-MHz Schritte durchstimmen, was sinnvoll ist, so ergeben sich für den DDS folgende Grenzfrequenzen.

## 7. Aussteuerung DDS bei 1-MHz Schritte

PLL2 mit HMC440                      N=2

$$F_{\text{OUT}} = (F_{\text{PLL2}} + N \cdot F_{\text{DDS}}) / M$$

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N_PLL2	F_PLL2	F_DDS_min	F_DDS_max
45	46	14	13	2	47	611	9,5	16,5
46	47	14	13	2	48	624	10	17
47	48	14	13	2	49	637	10,5	17,5
48	49	14	13	2	50	650	11	18
49	50	14	13	2	51	663	11,5	18,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N_PLL2	F_PLL2	F_DDS_min	F_DDS_max
49	50	12	13	2	43	559	14,5	20,5
50	51	12	13	2	44	572	14	20
51	52	12	13	2	45	585	13,5	19,5
52	53	12	13	2	46	598	13	19
53	54	12	13	2	47	611	12,5	18,5
54	55	12	13	2	48	624	12	18
55	56	12	13	2	49	637	11,5	17,5
56	57	12	13	2	50	650	11	17
57	58	12	13	2	51	663	10,5	16,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N_PLL2	F_PLL2	F_DDS_min	F_DDS_max
59	60	10	13	2	43	559	15,5	20,5
60	61	10	13	2	44	572	14	19
61	62	10	13	2	45	585	12,5	17,5
62	63	10	13	2	46	598	11	16
63	64	10	13	2	47	611	9,5	14,5
64	65	10	13	2	48	624	8	13
65	66	10	13	2	48	624	13	18
66	67	10	13	2	49	637	11,5	16,5
67	68	10	13	2	50	650	10	15
68	69	10	13	2	51	663	8,5	13,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
69	70	8	13	2	41	533	9,5	13,5
70	71	8	13	2	41	533	13,5	17,5
71	72	8	13	2	42	546	11	15
72	73	8	13	2	43	559	8,5	12,5
73	74	8	13	2	43	559	12,5	16,5
74	75	8	13	2	44	572	10	14

## 8. Zusammenfassung

Diese Untersuchungen zeigen, dass mit dem neuen PDF HMC698LP5 von Hittite das Phasenrauschen nochmals um ca. 5dB verbessert werden kann.

Auch der HMC440 ist eine zusätzliche Variante, die im Testaufbau bis zu einer DDS Referenz von 8 MHz stabil arbeitete.

Somit liegt das Phasenrauschen ab ca. 4 kHz durchgehend unter -130 dBc/Hz.

Auch die Werte unter 1 kHz sind noch sehr gut. Da der Synthesizer in einem guten Empfänger bei Dynamikbetrachtungen immer das schwächste Glied ist, plädiere ich für die zuletzt gezeigte Version mit HMC698 im PLL2-Zweig und HMC440 im PLL1-Zweig, sieht man von den Beschaffungsproblemen dieser Chips einmal ab.

Für den Selbstbau mit leicht beschaffbaren Bauteilen bietet sich eine Kombination mit dem ADF4106 und einem diskreten PFD an, wie im letzten Bericht gezeigt.

Welchen Synthesizer wir nun im Bavarix einsetzen, werden wir sicher noch etwas diskutieren.

## 9. Literatur

- [1] [http://www.hittite.com/content/documents/data\\_sheet/hmc698lp5.pdf](http://www.hittite.com/content/documents/data_sheet/hmc698lp5.pdf)