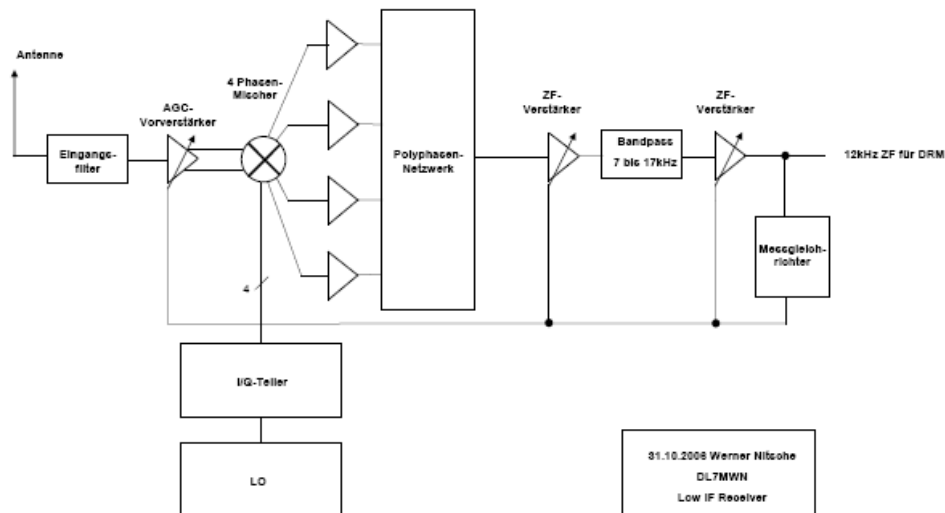


## Das Konzet zum LIF5000



Der LIF5000 ist eine „Low IF“- Empfänger mit einer ersten ZF von 12 kHz, welcher aus mehreren Modulen zusammengesetzt wird. Alle Module sind in einem eigenen Alu-Guss-Gehäuse untergebracht und können zusammengesteckt werden.

Der LIF5000 besteht aus folgenden Modulen:

Eingangsfiler

HF-Teil

ZF-Teil

Local Oszillator mit Rechner

Die einzelnen Funktionseinheiten des LIF5000

### 1. Eingangsfiler

Der Eingangsfiler ist bereits aus einem früheren Projekt vorhanden. Er lässt alle Frequenzen bis 30 MHz durch. Alles oberhalb 30 MHz wird abgeschnitten, um Rundfunk und Fernsehsender vom LIF5000 fernzuhalten. Anstelle dieses Eingangsfilters können später für ein fertiges Gerät auch umschaltbare Bandpässe verwendet werden.

### 2. Vorverstärker

Nach dem Eingangsfiler folgt ein Vorverstärker mit AGC. Dazu wird der IC SA5119 verwendet. Das Besondere an diesem IC ist, dass er bereits einen normalen und einen invertierten Ausgang hat, was für die folgende 4 Phasen-Mischstufe benötigt wird.

### 3. 4 Phasenmischer

Als Mischer dient ein Analogschalter FST3128, welcher sehr linear ist und gleichzeitig 4 Kanäle bietet. Angesteuert wird dieser Mischer mit 4 Phasensignalen I, I\ und Q, Q\, welche jeweils um 90 Grad phasenversetzt sind. Am Ausgang sind jeweils ein RC-Tiefpass mit einer Grenzfrequenz von 50 kHz angebracht. Nach dem Tiefpass wird das ZF-Signal um 20dB

verstärkt. Als Ausgang stehen 4 ZF-Signale zur Verfügung, welche um 0 Grad, 90 Grad, 180 Grad und 270 Grad phasenversetzt sind.

#### 4. Local Oszillator

Der Local Oszillator (LO) besteht aus einem HF-Generator, welcher eine Frequenz bis 120 MHz erzeugen kann. Diese 120 MHz werden dann mit Flip-Flops 2-mal geteilt, wodurch dann 4 phasenversetzte Frequenzen bis 30 MHz zur Verfügung stehen. Derzeit ist noch nicht geklärt, wie der HF-Generator realisiert wird. Es gibt viele Möglichkeiten, aber 2 Möglichkeiten erscheinen mir am sinnvollsten.

--- Mit einem DDS und einer AVR-CPU.

--- Ein eigener FPGA, welcher den DDS und eine CPU beinhaltet.

Die Lösung mit dem DDS und der AVR-CPU ist leicht zu realisieren, aber teuer, weil ein DDS, welcher bis zu 160 MHz liefern kann, eben seinen Preis hat. Der DDS liefert eine Sinusspannung, was für den LIF5000 nicht benötigt wird.

Die zweite Lösung mit dem eigenen FPGA lässt sich deutlich billiger herstellen. Aber um so etwas zu realisieren, ist eine enorme Entwicklungsleistung gefordert. Da ich so etwas noch nicht gemacht habe, muss ich die FPGA-Programmierung in VHDL auch noch erst erlernen. Aber es ist ja ein Hobby, und da spielt für mich die Zeit keine Rolle. Man kann dabei viel lernen und es hält den „Geist“ jung.

#### 5.

##### Polyphase Netzwerk

Zunächst schien mir das Polyphase-Netzwerk ein Buch mit 7 Siegeln zu sein. Aber umfangreiche Recherchen im Internet haben mir geholfen, so ein Netzwerk auch zu verstehen. Auch habe ich ein Excel-Programm gefunden, mit welchem man so ein Netzwerk berechnen und das Ergebnis grafisch darstellen kann. Auch ist es mir gelungen, dieses Netzwerk mit einem Simulator zu testen und die kritischen Eigenschaften zu analysieren. Aber zu diesem Thema gibt es Später noch mehr Informationen.

#### 6. ZF-Verstärker mit Filter

Der ZF-Verstärker arbeitet mit 12 kHz und ist mit einem AGC-Verstärker sowie einem mehrstufigen Tiefpass und Hochpassfilter realisiert. Zunächst waren mehrere Bandpassfilter geplant, aber die haben so mächtig gerauscht, dass ich davon abgekommen bin.

#### 7. Messgleichrichter und AGC

Das 12 kHz ZF-Signal kann mit einem echten Messgleichrichter verarbeitet werden. Die gewonnene Gleichspannung dient für die AGC, welche mit 3 Verstärkern realisiert ist. Jeder Verstärker hat einen Regelumfang von ca. 20dB, was zusammen einen hardwaremäßigen Regelumfang von 60dB macht. In der folgenden Software wird die Regelung dann noch einmal ergänzt, was zu brauchbaren Ergebnissen führen sollte.