

## Messergebnisse Synthesizer für HSDR4512

Hier möchte ich die Messergebnisse zum Synthesizer HSDR4512 dokumentieren, damit im Verlauf der Entwicklung bei Bedarf darauf zurückgegriffen werden kann.

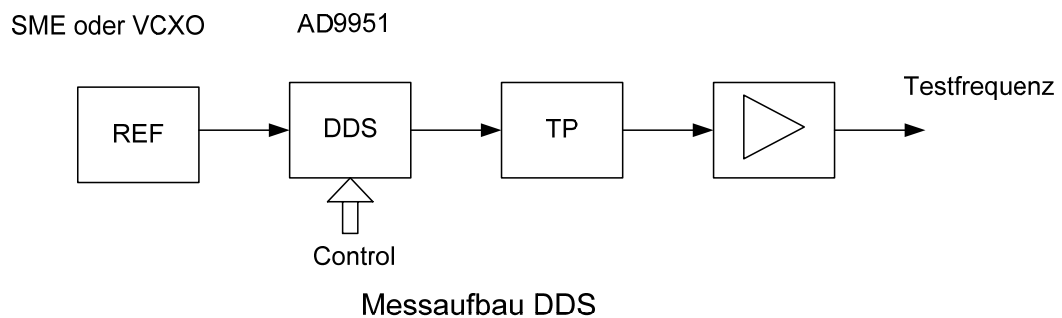
### 1. Grundlegende Messungen zur Orientierung

Messgeräte:

1. Spektrum-Analysator R&S FSIQ
2. VCO/PLL Signal-Analyser HP4352A
3. Signal-Generator R&S SME 03,
4. Referenz VCXO 52 MHz

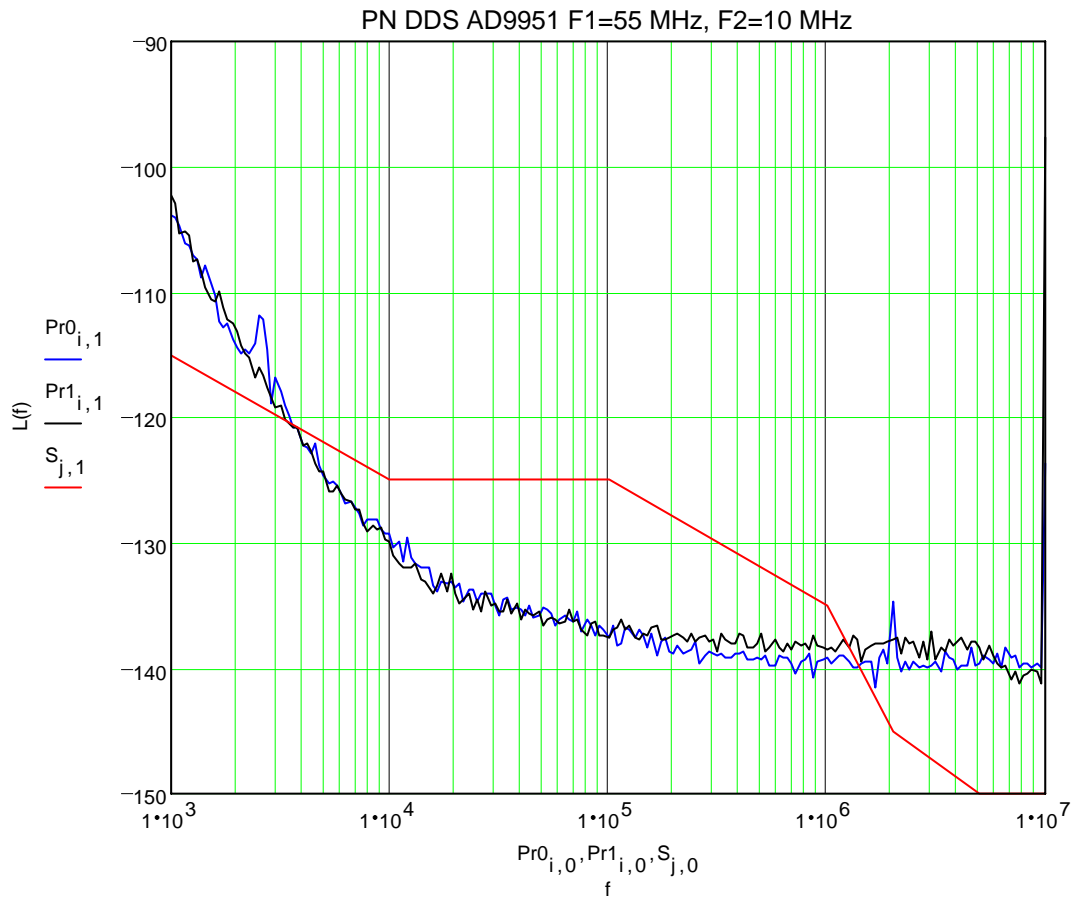
#### 1.1 Synthesizer mit DDS

Messaufbau: Testboard für DDS mit AD9951



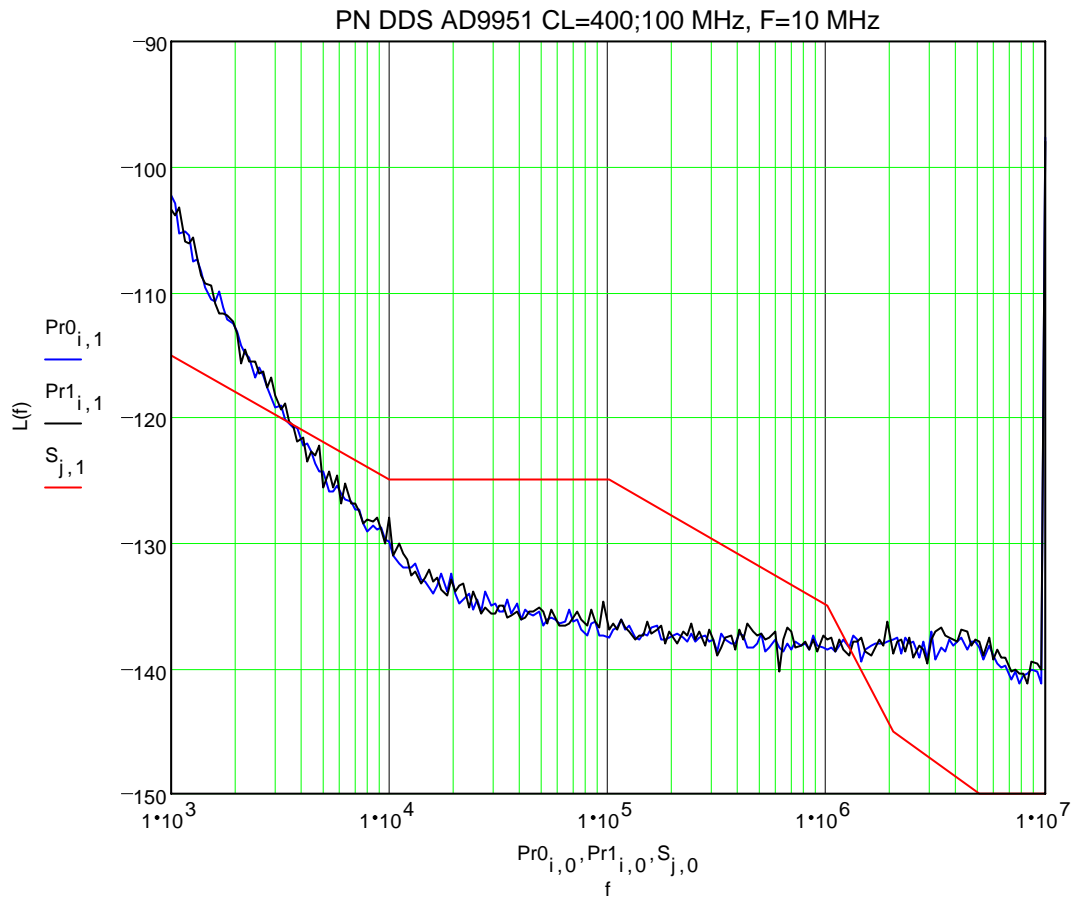
### 1.1.1 Phase Noise

Phase Noise DDS AD9951,  $F_{\text{Ref}} = 400 \text{ MHz}$ ,  $F_{\text{out1}} = 55 \text{ MHz}$ ,  
 $F_{\text{out2}} = 10 \text{ MHz}$



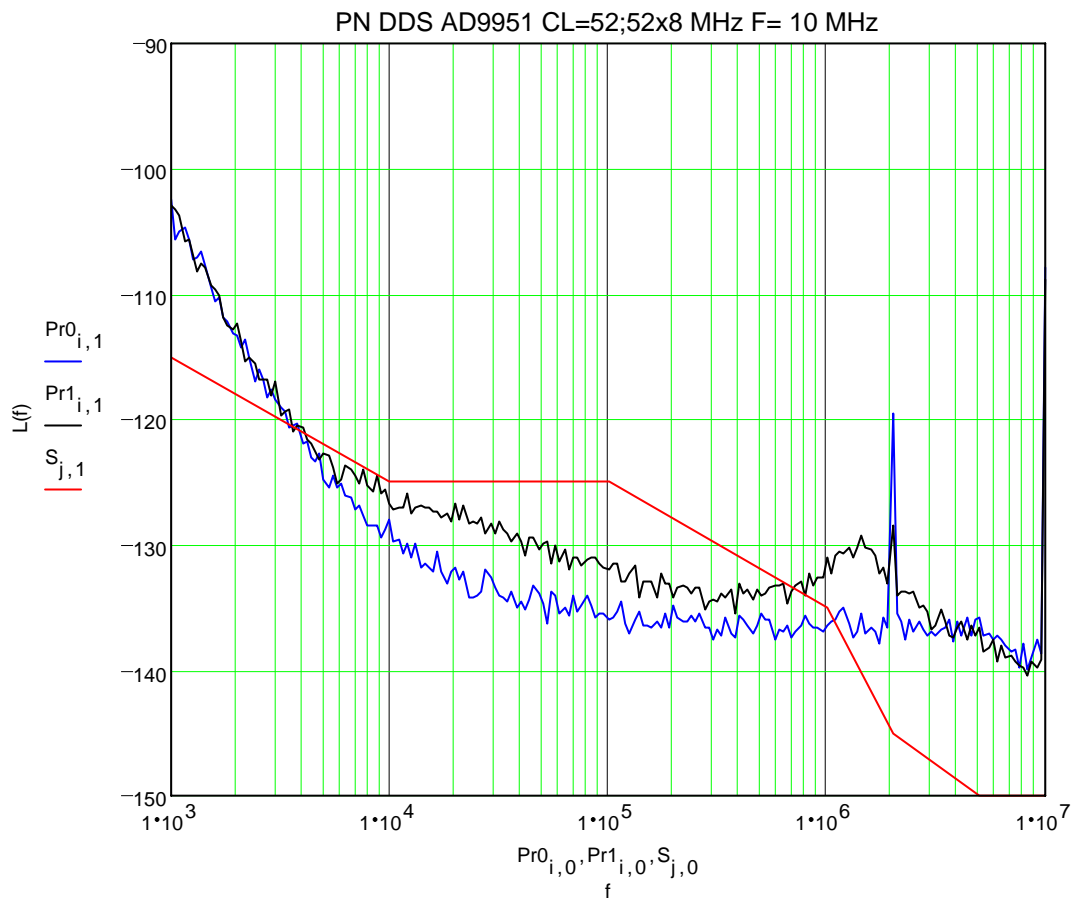
PN-Grafik 1

Phase Noise DDS AD9951,  $F_{\text{Ref1}} = 400 \text{ MHz}$ ,  $F_{\text{Ref2}} = 100 \text{ MHz}$ ,  
 $F_{\text{out}} = 10 \text{ MHz}$



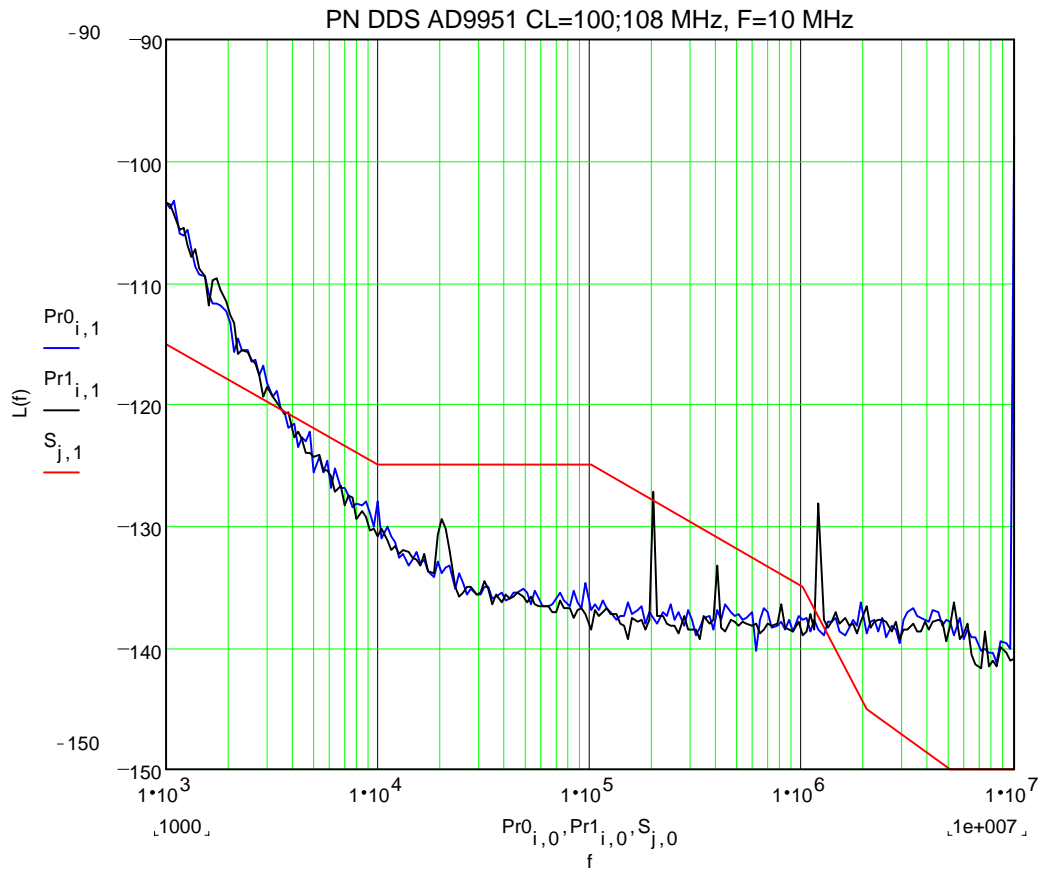
PN-Grafik 2

Phase Noise DDS AD9951, F\_Ref1 = 52 MHz, F\_Ref2 = 52 MHz X8,  
F\_out = 10 MHz



PN-Grafik 3

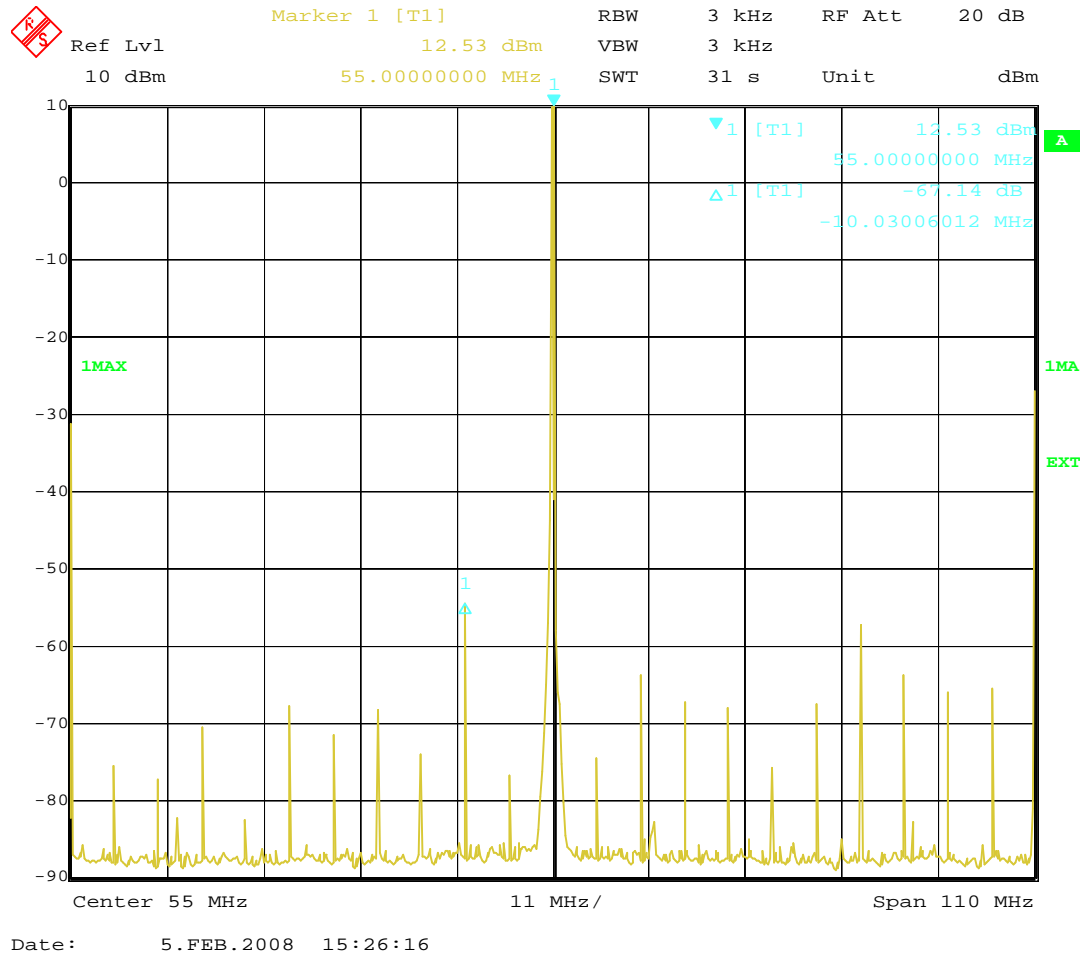
Phase Noise DDS AD9951, F\_Ref1 = 100 MHz SME,  
 F\_Ref2 = 108 MHz XO, F\_out = 10 MHz



PN-Grafik 4

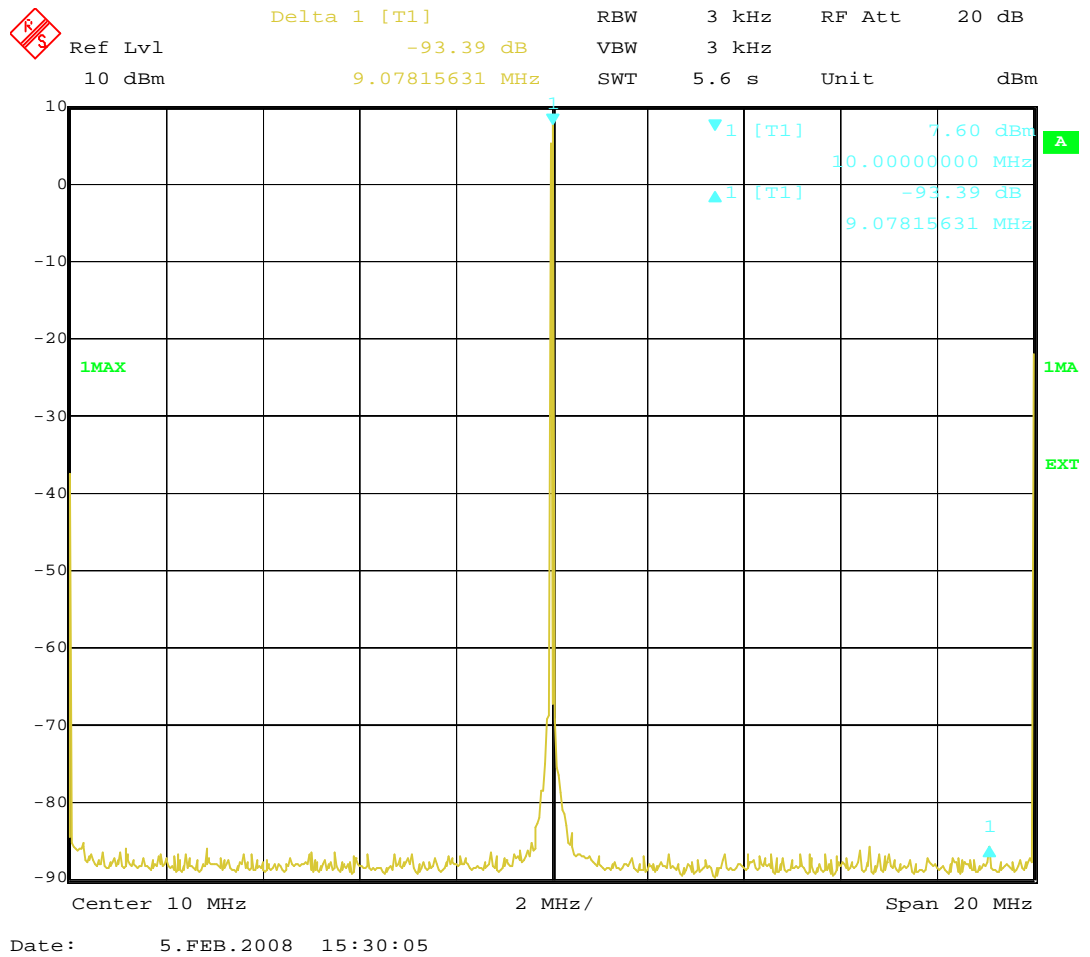
### 1.1.2 Nebelinien

Clock 400 MHz SME03, Ausgangsfrequenz 55 MHz



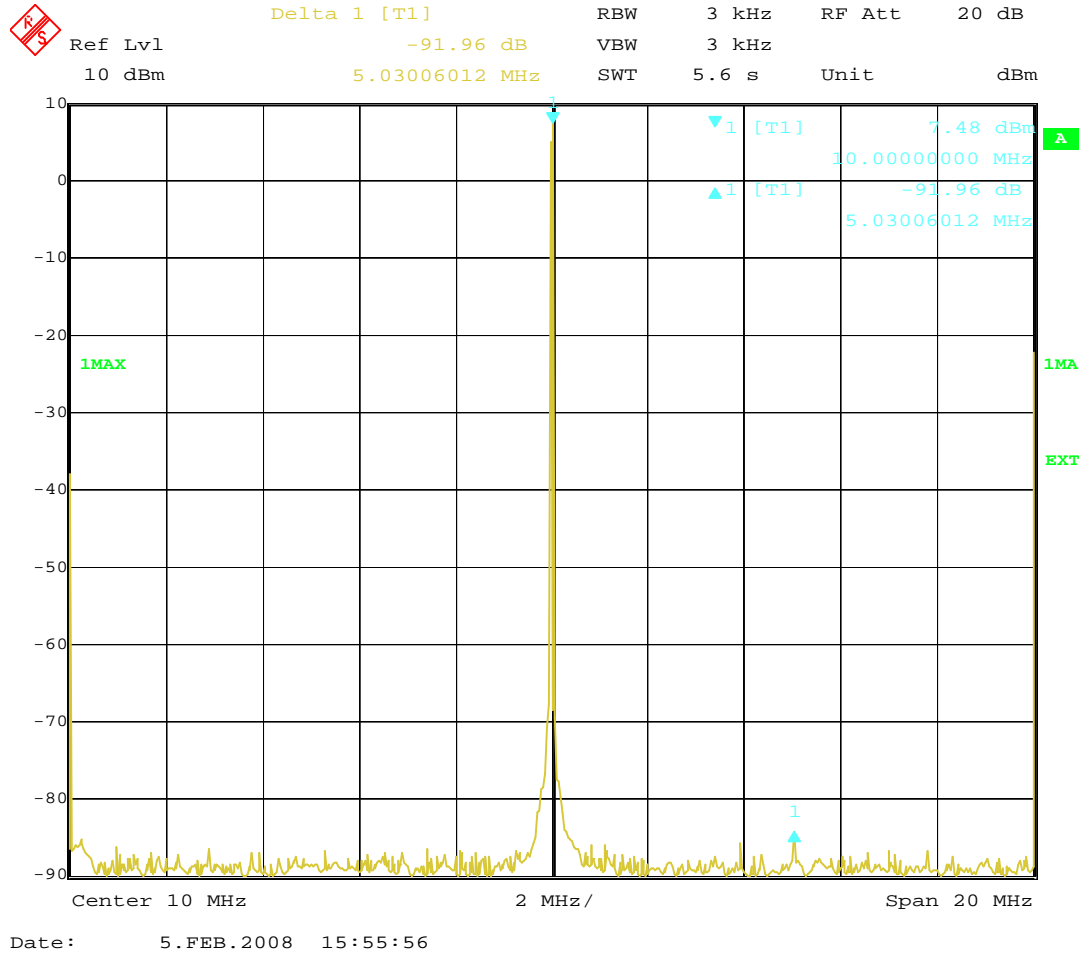
Messergenis: zahlreiche Nebelinien im Abstand von ca. 5,5 MHz  
 Max: -10,03 MHz : - 67,1 dBc

Clock 400 MHz SME03, Ausgangsfrequenz 10 MHz



Messergebnis: keine Nebenlinien erkennbar im Bereich 0-20 MHz  
 Max: -9,08 MHz : - 93,4 dBc

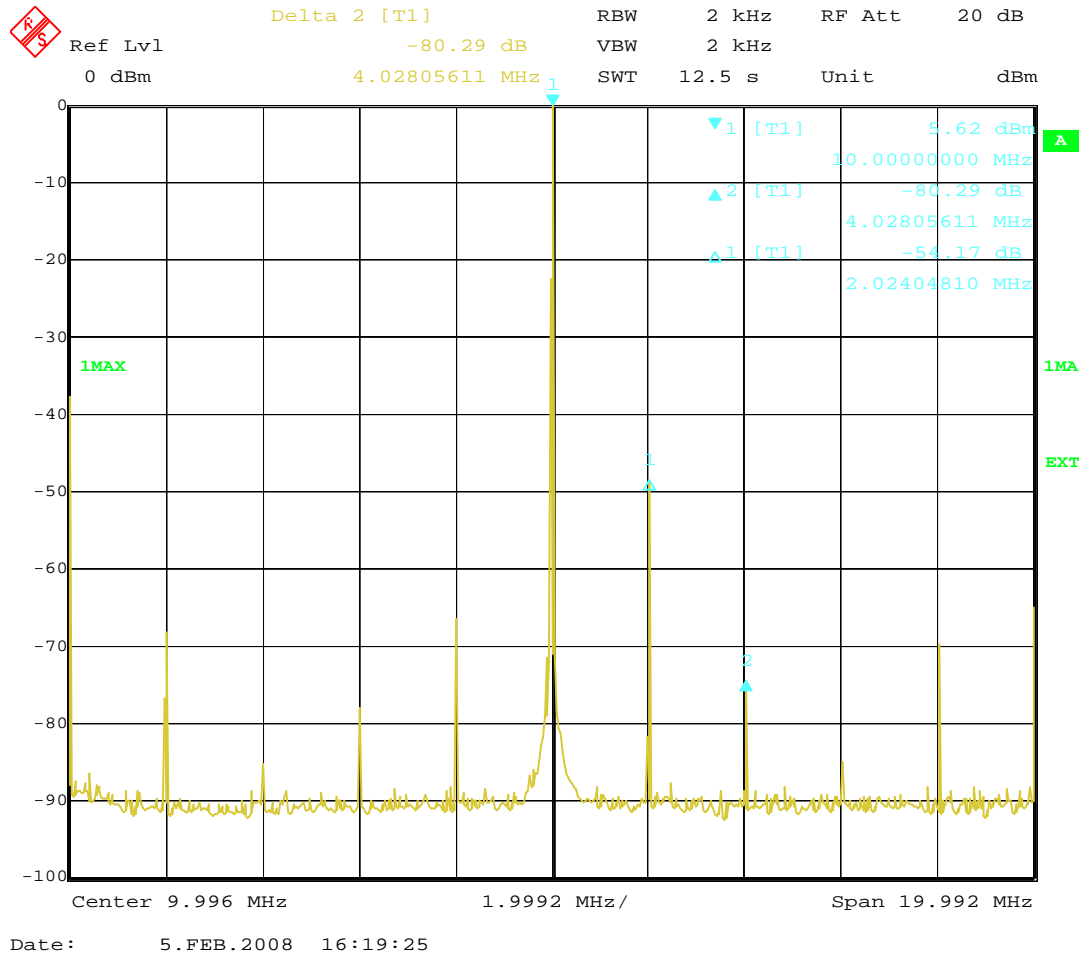
Clock 100 MHz SME03, Ausgangsfrequenz 10 MHz



Messergebnis: kaum Nebenlinien erkennbar im Bereich 0-20 MHz  
 Max: -5,03 MHz : - 92,0 dBc

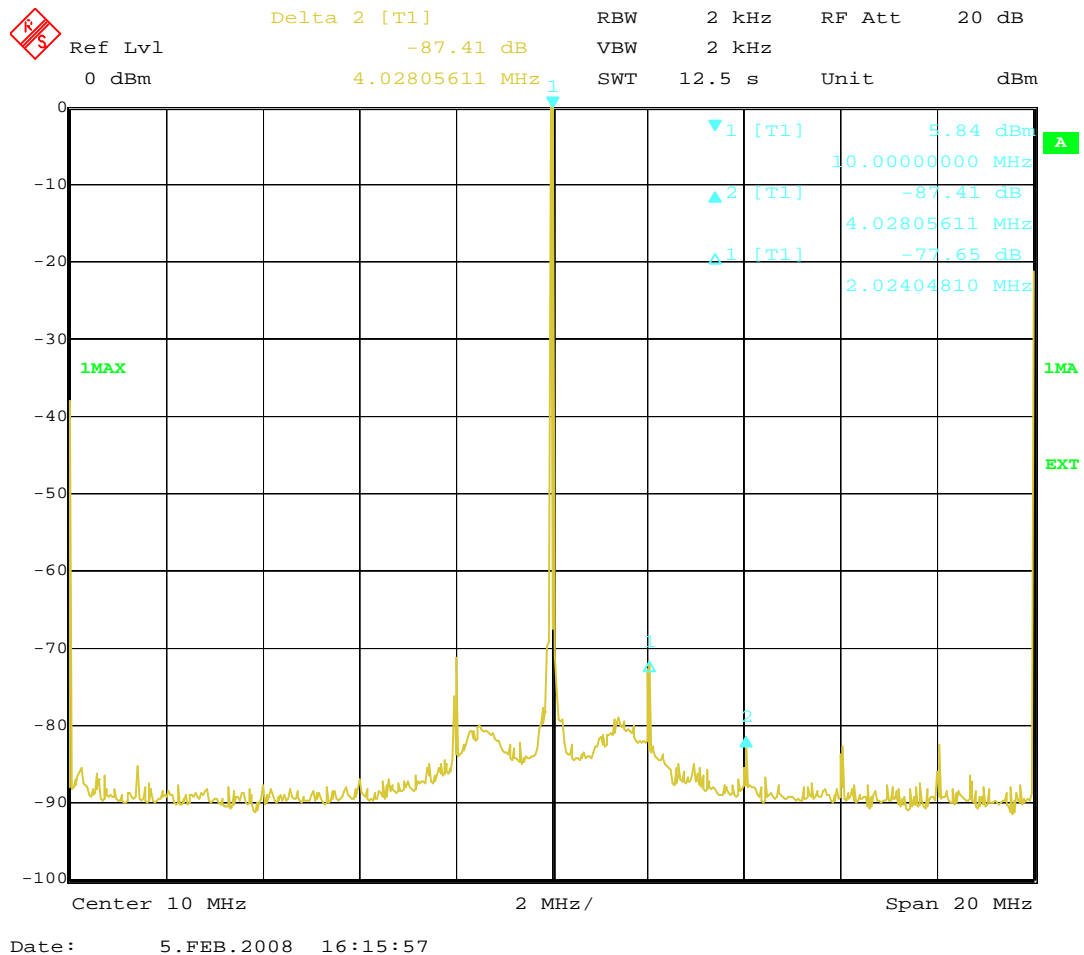


Clock 52 MHz VCXO, Ausgangsfrequenz 10 MHz



Messergebnis: mehrere Nebenlinien erkennbar im Bereich 0-20 MHz  
 Max: -2,02 MHz : - 54,2 dBc;

Clock 52 MHz VCXO \* 8 ( int. PLL) , Ausgangsfrequenz 10 MHz



Messergebnis: mehrere Nebenlinien erkennbar im Bereich 0-20 MHz sowie PLL  
 Rauschglocke der internen PLL  
 Max: -2,02 MHz : - 77,6 dBc;

### 1.1.3 Ergebnis

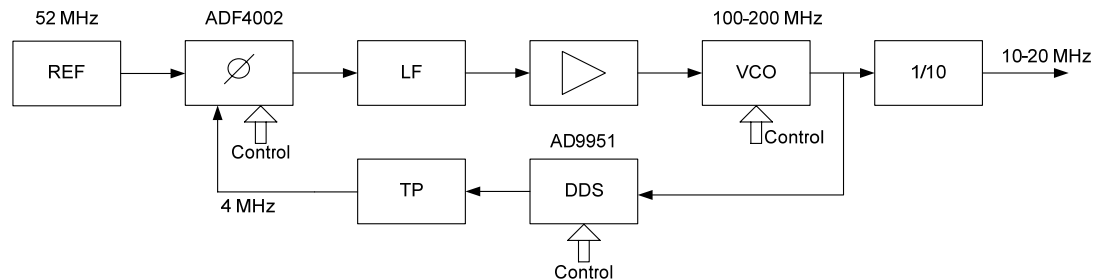
Mit einem Clock > 100 MHz und Ausgangsfrequenzen um 10 MHz sind gute Ergebnisse bezüglich Phasenrauschen und Nebenlinienfreiheit zu erreichen. Die Phasenrauschwerte im Datenblatt von -155 dBc/Hz @ 100 kHz konnten nicht erreicht werden (hier: -138 dBc/Hz). Zunächst dachte ich der Grund liegt im begrenzten Phasenrauschen des Messsenders. Eine Messung mit einem 108 MHz Quarzoszillator zeigt aber nur geringe Verbesserung (PN-Grafik 4) gegenüber dem Messsender. Hier gibt es noch Klärungsbedarf.

Bei einem resultierenden Teiler für eine PLL von 5 ( $650 \text{ MHz}/50 = 13 \text{ MHz}$  Referenz und Ausgangsteiler durch 10) würde sich das Phasenrauschen um 14 dB verschlechtern. Dies wären dann bei 10 KHz Offset -116 dBc/Hz, bei 100 kHz so etwa -124 dBc/Hz.

Bei Frequenzen um 10 MHz ist die Nebenlinienunterdrückung ca. 92 dB. Mit derselben Annahme der Teilerfaktoren reduziert sie sich auf ca. 88 dB.

## 1.2 Synthesizer mit PLL und DDS als fractional-N Teiler

Messaufbau: Testboard für PLL mit ADF4002, Testboard für DDS mit AD9951, VCO 100-200 MHz Typ Sirenza VCO 190-150TY



Synthesizer mit PLL und DDS als fractional-N Teiler

### 1.2.1 Simulation

Simulation erfolgte für  $F=140$  MHz als integer-N PLL mit  $F_{Ref}$  4 MHz

**Design5\_AD820\_4MHz.pll analysed at 01/31/08 14:09:21**

PLL Chip is ADF4002

Notes: Preliminary Technical Data only for the ADF4002. Check [www.analog.com/pll](http://www.analog.com/pll) for updates

VCO is UMS-200-A16

Reference is custom

#### Frequency Domain Analysis of PLL

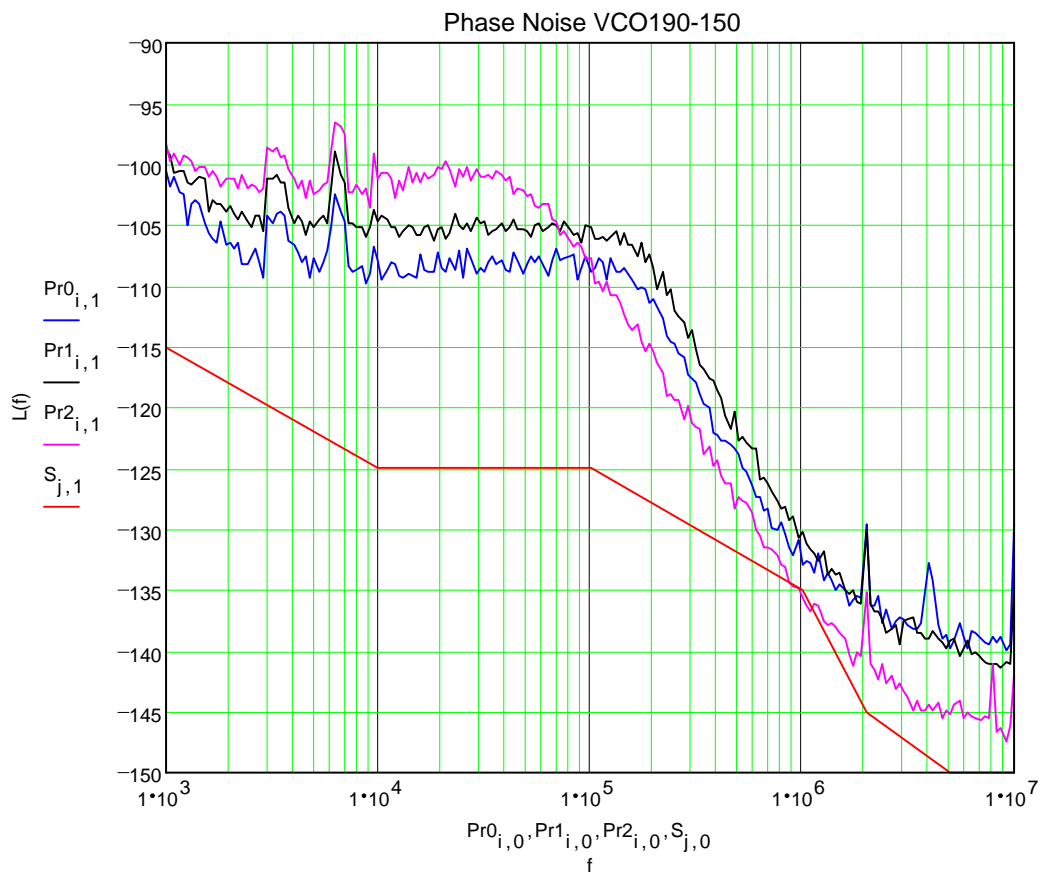
Analysis at PLL output frequency of 140MHz

#### Phase Noise Table

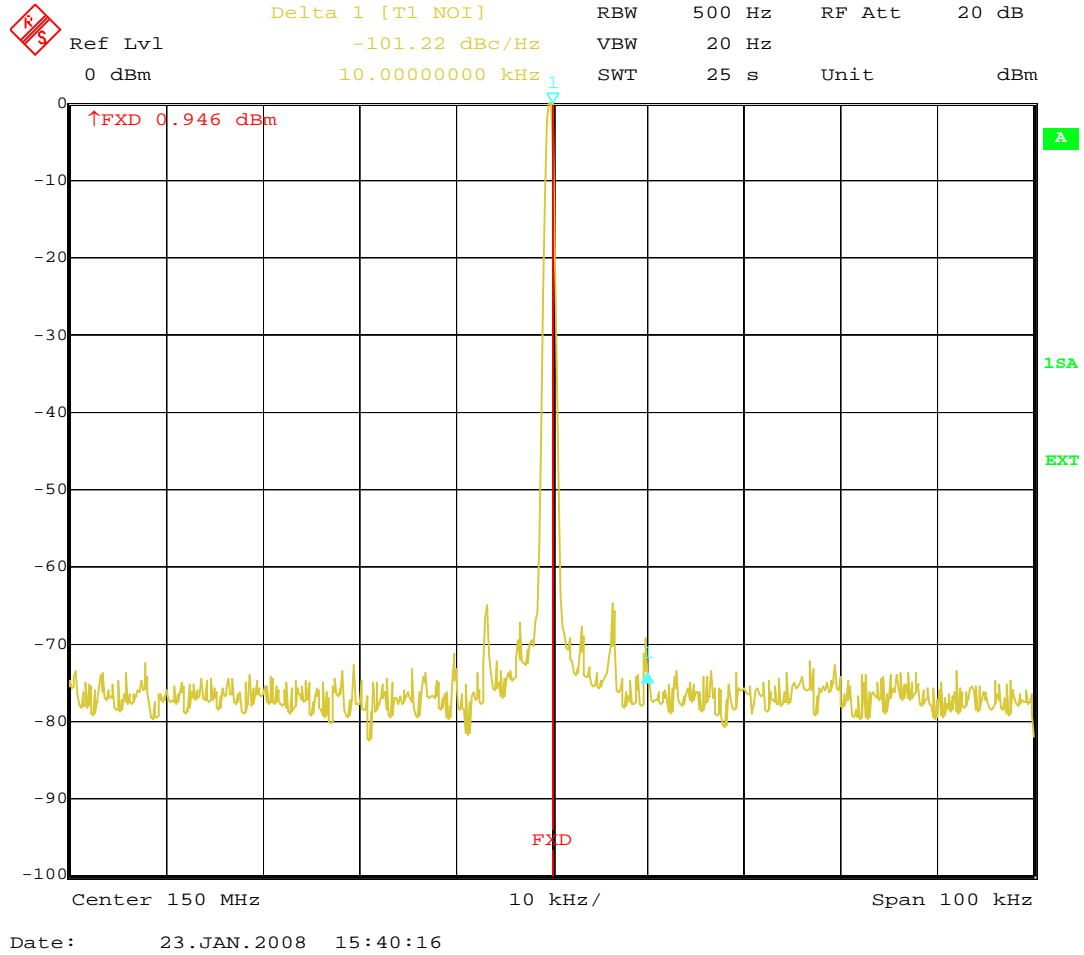
Freq	Total	VCO	Ref	Chip	Filter
100	-101.3	-188.9	-101.4	-119.1	-170.7
1.00k	-117.1	-168.9	-121.4	-119.1	-151.7
10.0k	-118.8	-149.0	-141.3	-119.0	-131.8
100k	-113.4	-132.7	-156.7	-117.4	-115.6
1.00M	-127.8	-143.4	-175.5	-133.3	-129.5

### 1.2.2 Phase Noise

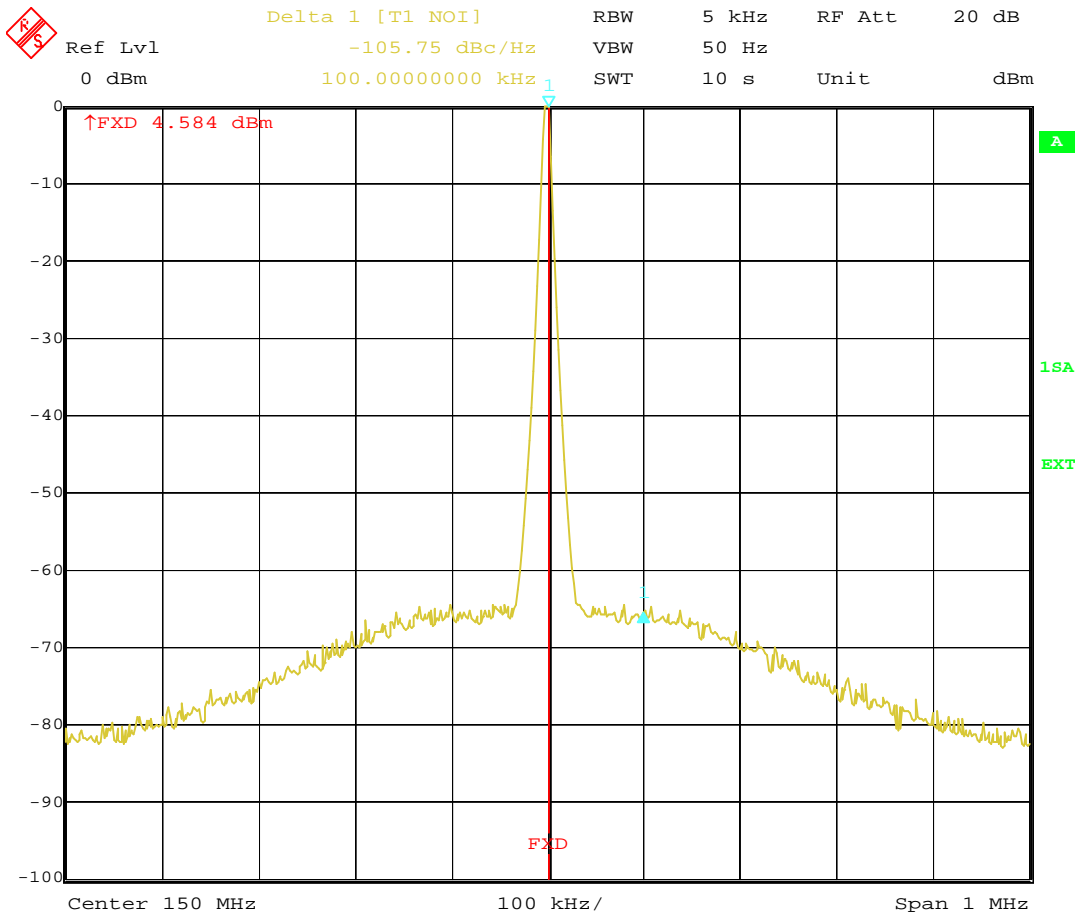
Phase Noise Sireza VCO190-150,  $F_{VCO}=100-200\text{MHz}$ ,  
 PLL ADF4002,  $F_{Ref} = 4\text{ MHz}$ , DDS AD9951 als Frac-N Teiler  
 $F_0 = 100\text{ MHz}$ ,  $F_1 = 150\text{ MHz}$ ,  $F_2 = 200\text{ MHz}$



### 1.2.3 Spurious @ 150 MHz

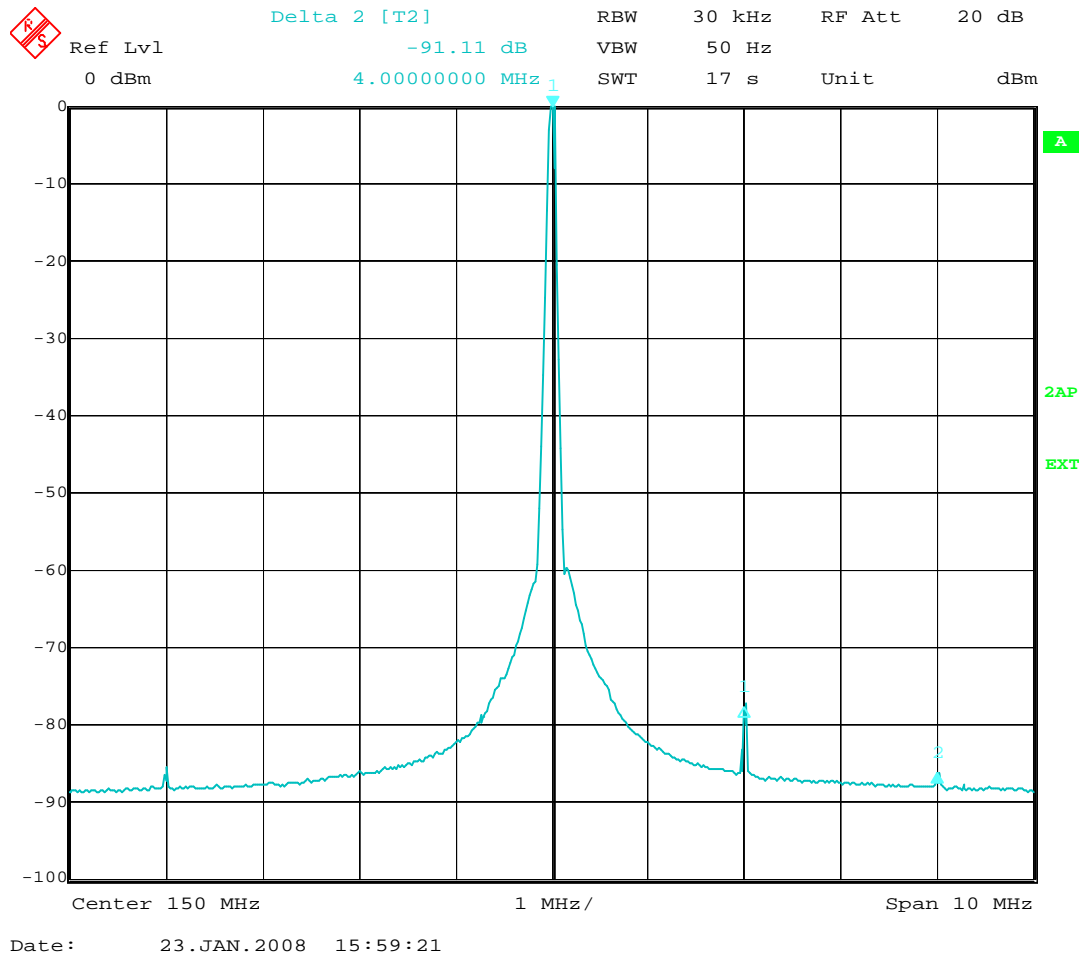


Phase Noise : -101,2MHz/Hz @10kHz



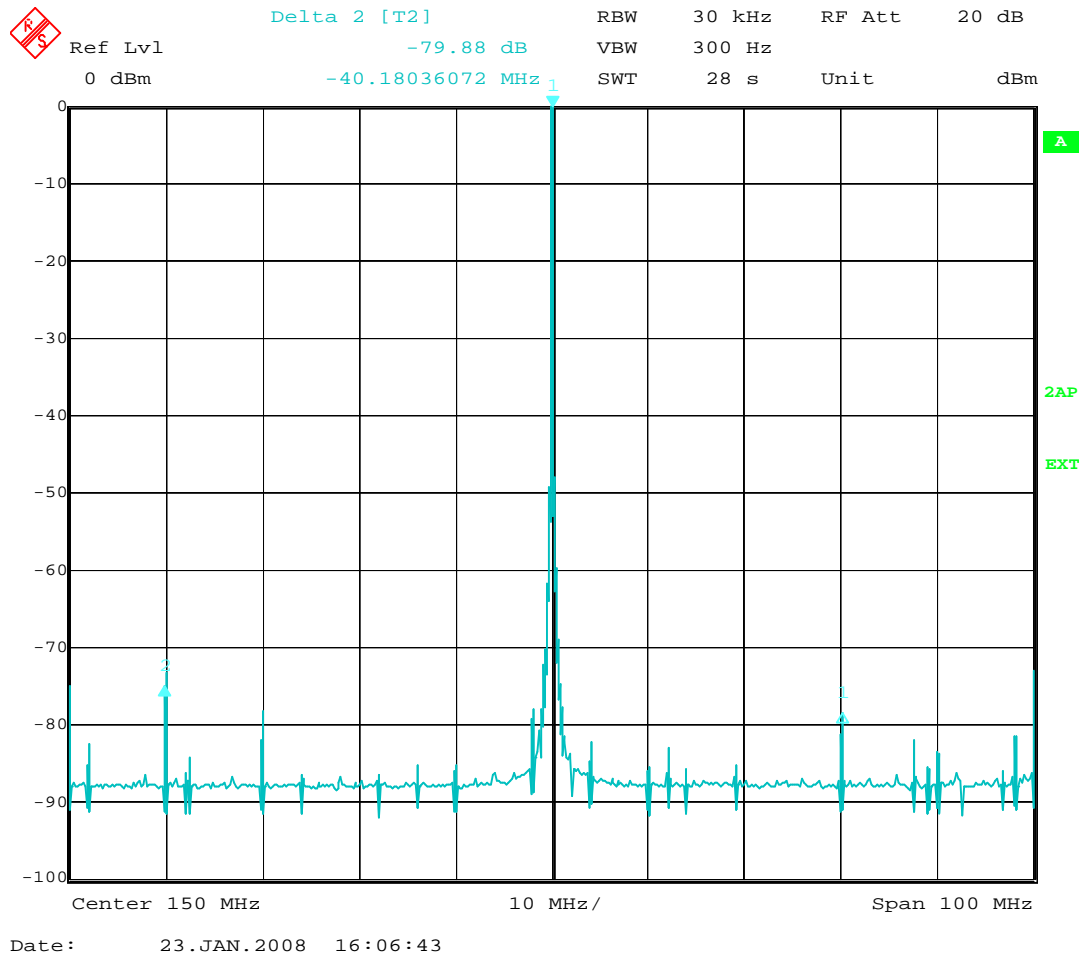
Date: 23.JAN.2008 15:47:28

Phase Noise : -105,7 MHz/Hz @ 100 kHz



F\_Ref 4MHz-Linie : -91,1 dBc





Spurious\_max bei 40,1 MHz : - 79,8 dBc

## 1.2.4 Ergebnis

Dies war der erste Ansatz für meinen Synthesizer mit einer ZF von 9 MHz.  
 Die Ergebnisse sind nicht schlecht, abgesehen von der Phase Noise Messung bei 200 MHz, da passt irgendwas nicht.  
 Der geplante Ausgangsteiler Faktor 10 ist nicht implementiert, d.h. Phase Noise und Spurious verbessern sich um 20 dB.  
 Somit wäre das Phase Noise bei meiner Ziel-Spec, Spurious bei -100 dBc nicht ganz, was aber auch zu erwarten war (-125 dBc).

### **1.3 Synthesizer mit PLL und DDS als Referenz**

Dies soll die nächste Anordnung sein, die ich aufbauen will.