

## Entwicklungshandbuch Synthesizer für HSDR4512

Dieses Handbuch soll Grundüberlegungen und Vorgehensweise zur Entwicklung eines Synthesizers für den HSDR 4512 Empfänger dokumentieren. Es besteht natürlich kein Anspruch auf Vollständigkeit und es können sich durchaus auch fehlerhafte Aussagen hier manifestieren. Dies möchte ich zwar vermeiden, kann es aber nicht ausschließen.

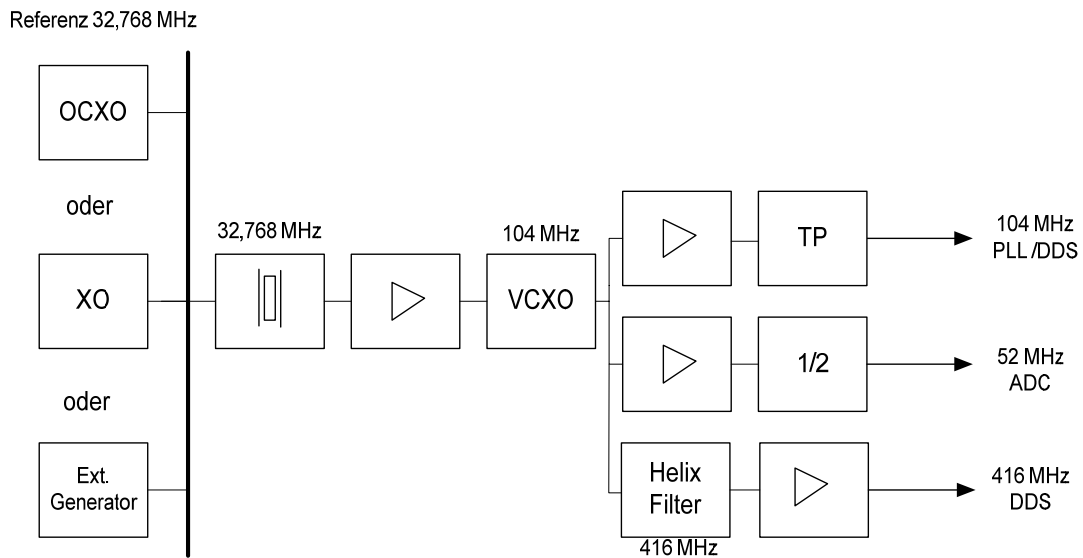
### 1. Entwicklungsziel

Es soll ein Synthesizer für den HSDR 4512 entwickelt werden mit folgenden Spezifikationen:

1. Frequenzbereich: 45 – 75 MHz
2. Frequenzraster: 1Hz bis 1 MHz in 10er Schritten
3. Power: 10 dBm, ev. I/Q-Ausgang
4. Phase Noise: -125 dBc/Hz @ 10 kHz, -145 dBc/Hz @ > 100 kHz
5. Nebenlinien : < - 125 dBc

## 2. Local Clock für LO und Abtastung

### 2.1 High Performance LCLK

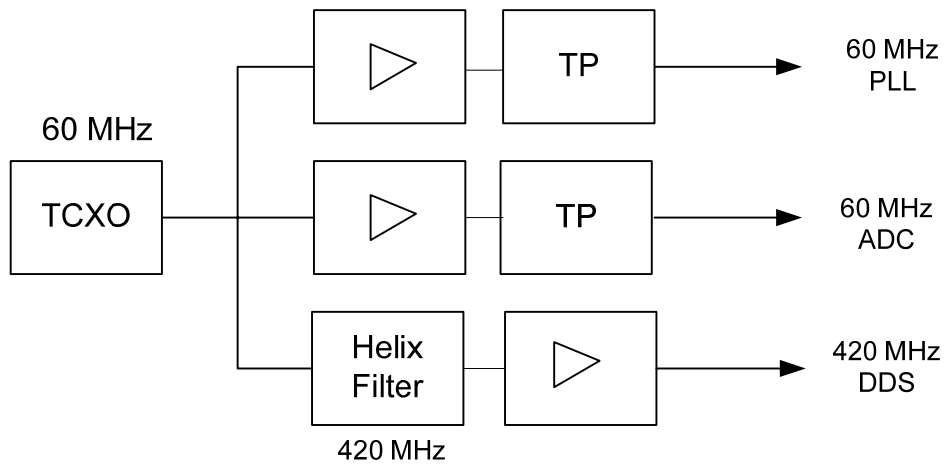


### High Performance LCLK

Vorteil: sehr gute Lang-u. Kurzzeitstabilität,  
gutes Phase-Noise Verhalten  $< -125 \text{ kHz @ 1k}$ ,  
 $< -145 \text{ dBc/Hz } 10 \text{ @ kHz}$

Nachteil: aufwendig, Spezial-Bauteile, begrenzte Anzahl vorhanden

## 2.2 LCKL mit TCXO

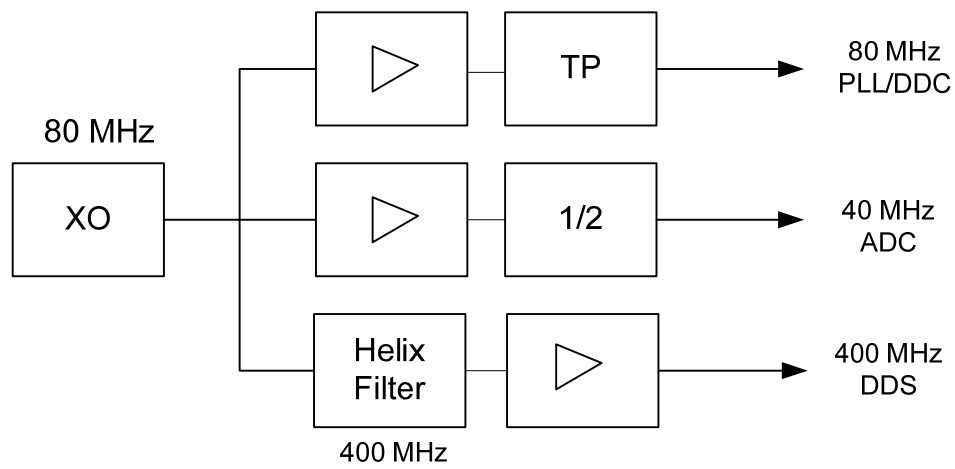


### LCKL mit TCXO

Vorteil: geringer Aufwand, gute Lang-u. Kurzzeitstabilität, sehr gutes Phase-Noise Verhalten  $< -130$  kHz @1k,  $< -150$  dBc/Hz 10@kHz

Nachteil: Spezial-Bauteile

## 2.3 Low Cost LCKL



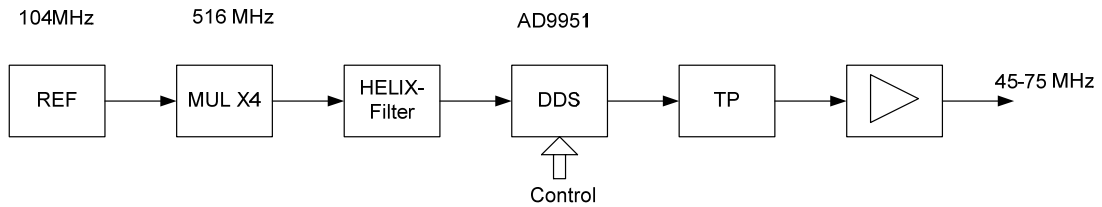
### Low Cost LCKL

Vorteil: geringer Aufwand, Bauteile leicht zu beschaffen, Phase-Noise Verhalten ???

Nachteil: geringe Langzeitstabilität

### 3. LO Aufbereitung

#### 3.1 DDS Direct Digital Synthesizer

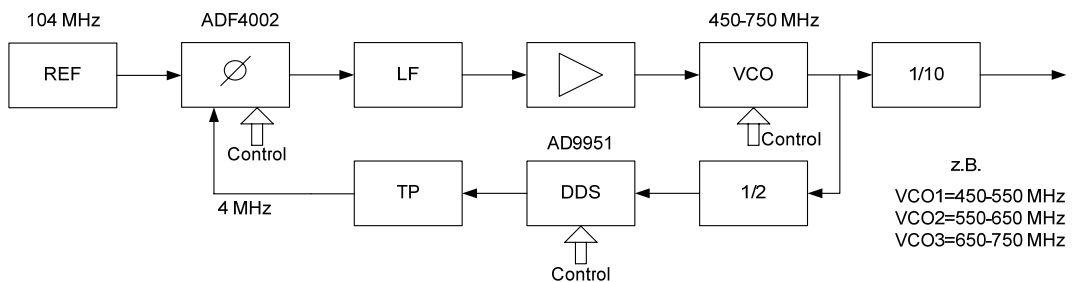


Direct Digital Synthesizer

Vorteil: gutes Phase Noise , -140 dBc/Hz@1kHz, -155 dBc/Hz @100kHz nach Datenblatt, variable Schrittweite, schnelle Realisierung, einfaches Design

Nachteil: zahlreiche Nebenlinien -70 dBc

#### 3.2 Synthesizer mit PLL und DDS als fractional-N Teiler

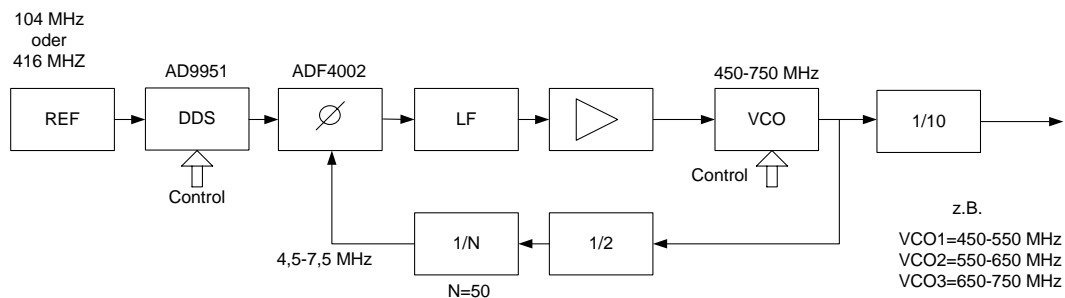


Synthesizer mit PLL und DDS als fractional-N Teiler

Vorteil: Nebenlinienabstand größer, schnelle Realisierung wenn VCO Fertigprodukt, variable Schrittweite

Nachteil: Phase Noise abhängig vom VCO, nicht optimal , Nebenlinien wahrscheinlich nicht optimal

### 3.3 Synthesizer mit PLL und DDS als Referenz

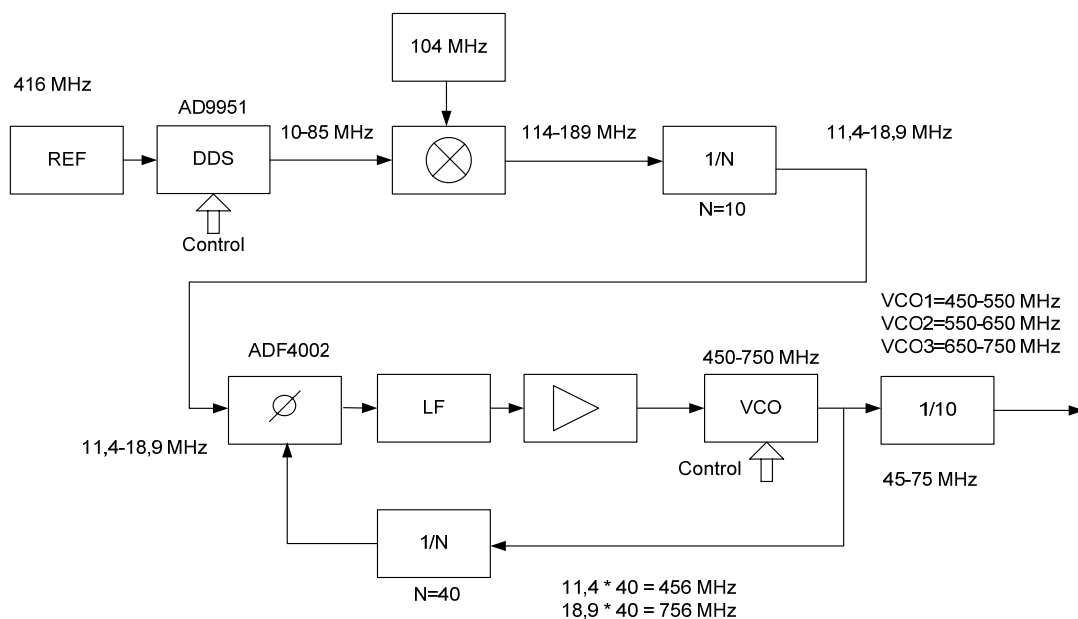


Synthesizer mit PLL und DDS als Referenz

Vorteil: Nebenlinienabstand verbessert wegen schmalen DDS-Bereich , schnelle Realisierung wenn VCO Fertigprodukt, variable Schrittweite

Nachteil: Phase Noise der Referenz wird in der PLL multipliziert ( $20\log N$ )

### 3.4 Variante zu 2.3 mit kleinerem PLL N-Teiler

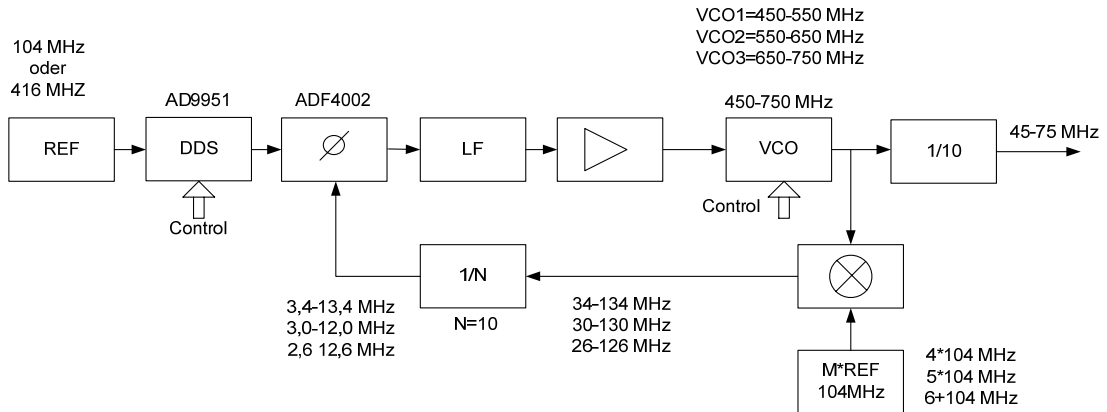


Synthesizer mit kleinerem PLL N-Teiler

Vorteil: verbessertes Phase Noise

Nachteil: DDS wird breitbandig betrieben, zusätzlicher Hardwareaufwand (Mischer)

### 3.5 Synthesizer mit Mischer im PLL-Zweig und Festfrequenzen

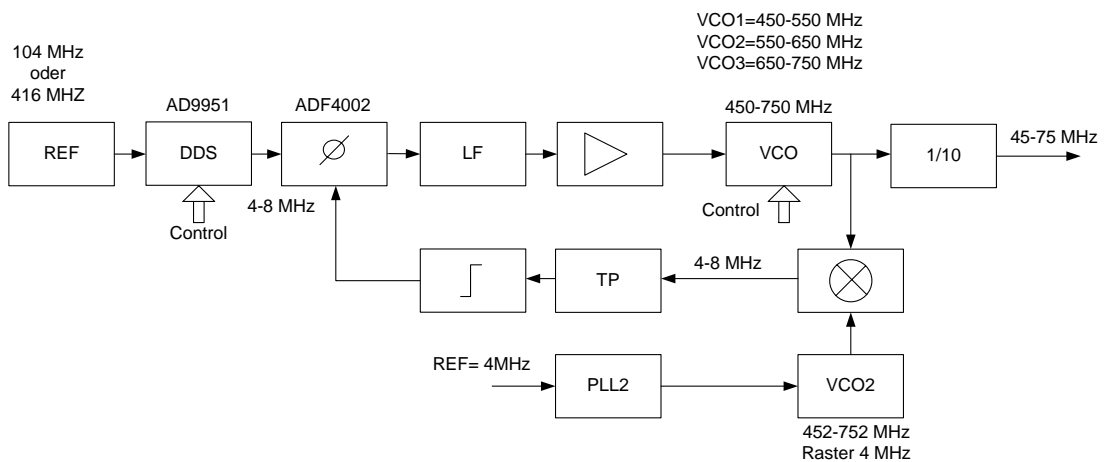


Synthesizer mit PLL und Mischer mit Festfrequenzen

Vorteil: verbessertes Phase Noise, kleiner N-Teiler

Nachteil: zusätzlicher Hardwareaufwand

### 3.6 Synthesizer mit Mischer im PLL-Zweig und 2. PLL



Synthesizer mit PLL und Mischer mit 2. PLL

Vorteil: sehr gutes Phase Noise Verhalten, da kein N-Teiler und VCO2 wenig Beitrag liefert

Nachteil: hoher Schaltungsaufwand, Quadratur-Mischer notwendig, Lock Probleme möglich

#### 4. VCO

##### 4.1 VCO 450-750 MHz Fertigprodukt (Sirenza VCO 790-600TY)

Techn. Daten: Tuning Voltage 0,5 – 20 V, Phase Noise 100 kHz: -122dBc

Vorteil: kompakt, keine Entwicklungsarbeiten notwendig

Nachteil: Beschaffbarkeit, Phase Noise schlecht: mit Teiler 10 min. -142dBc/Hz @100kHz erreichbar

##### 4.2 VCO-Split in 3 Bereiche (Sirenza VCO 190-450/550/675 TY)

Techn. Daten: Tuning Voltage 1 – 9 V, Phase Noise 100 kHz: -130dBc/Hz

Vorteil: kompakt, keine Entwicklungsarbeiten notwendig, Phase Noise gut: mit Teiler 10 min. -150dBc/Hz @100kHz erreichbar

Nachteil: Beschaffbarkeit, zusätzlicher Aufwand zum Umschalten

##### 4.3 VCO-Split und variablen Ausgangs-Teiler 8, 10, 12

	12	10	8	
VCO A	540-590,4	540-590	528-584	540-592 MHz
LO-Bereich	45-49	54-59	66-75	
Empfangsband	0-4,0	13,0-18,0	25,0-30,0	
VCO B	590,4-648	590-660		590-660 MHz
LO-Bereich	49-54	59-66		
Empfangsband	4,0-13,0	18,0-25		

Techn. Daten: Tuning Voltage 1 – 16 V, Phase Noise 100 kHz: -130dBc/Hz

Vorteil: Phase Noise gut: -148 dBc/Hz @100 kHz bei Teiler 8 (18 dB)

Nachteil: da kein Fertigprodukt Entwicklungsarbeiten notwendig  
hoher Zeitaufwand  
aufwendige Steuerung durch MP



#### **4.4 VCO mit variablen Ausgangs-Teiler 8, 10, 12 (Z-Comm CLV0600A-LF)**

Techn. Daten: Tuning Voltage 1 – 4,5 V, Phase Noise @10 kHz :-110 dBc/Hz  
100 kHz: -130dBc/Hz

Vorteil: Phase Noise gut : -148 dBc/Hz @100 kHz bei Teiler 8 (18 dB), keine eigene Entwicklungsarbeit notwendig, kompakt

Nachteil: Beschaffbarkeit

### **5. Simulation**

Auf Grund der Vorüberlegungen und einigen prinzipiellen Messungen sollen einige Simulationen mit ADIsimPLL3.0 durchgeführt werden.

#### **5.1 PLL-Variante 3.3 mit VCO nach 4.4**