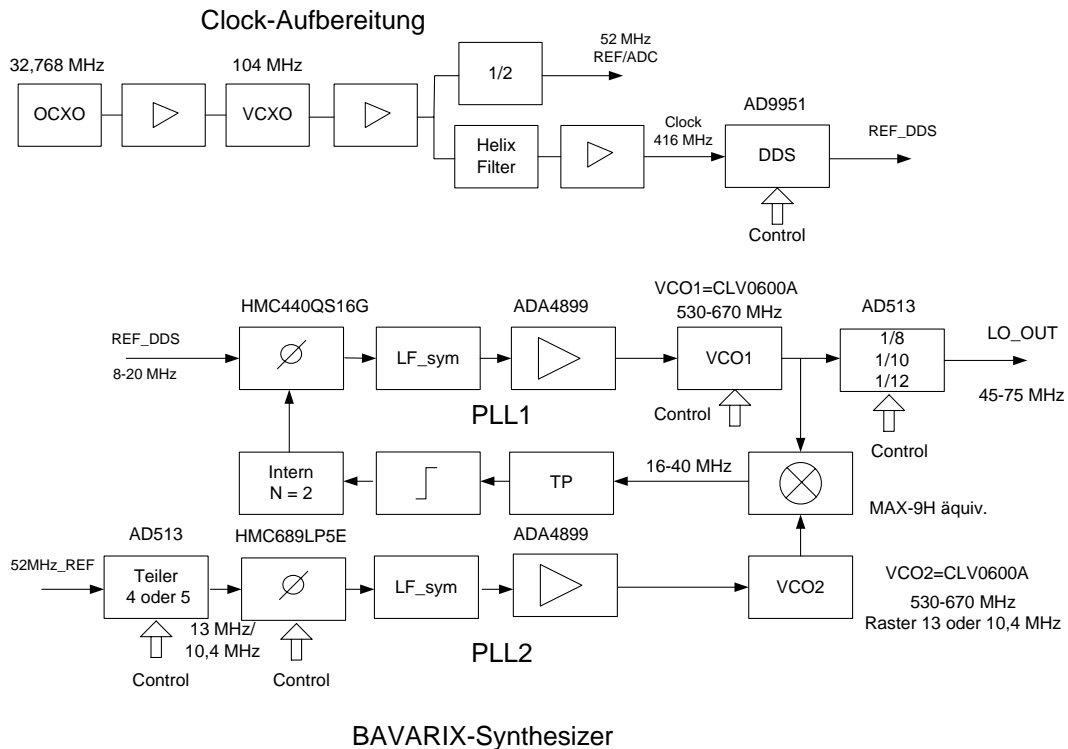


Beschreibung Bavarix-Synthesizer

1. Synthesizer

1.1. Blockdiagramm Synthesizer Bavarix



1.2. Funktionbeschreibung

Der Bavarix-Synthesizer soll für den digitalen Bavarix-Kurzwellen-Empfänger das LO-Signal für das analoge Frontend bereitstellen. Bei einer ZF von 45 MHz soll der Frequenzbereich von 50 kHz bis 30 MHz auf diese ZF umgesetzt werden. Der Frequenzbereich des Synthesizers ist also für 45 - 75 MHz ausgelegt mit minimal 1 Hz Schritten abstimbar. Da alle Control-Funktionen durch einen Mikroprozessor gesteuert werden, ist der Einsatz auch für andere Zwischenfrequenzen oder andere Anwendungen denkbar.

Kernstück des Synthesizers sind 2 sehr rauscharme PLL-Schleifen, die über einen Mischer phasenstarr verbunden sind. Dabei erfolgt über die PLL2 die Grobeinstellung, während über die PLL1 die Feineinstellung der Frequenz erfolgt. Die quasi kontinuierliche Frequenzeinstellung erfolgt über einen DDS- Baustein (Direct Digital Synthesizer).

Kernstück der Clock-Aufbereitung ist ein 104 MHz Quarzoszillator, der eingangsseitig an einem temperaturstabilen rauscharmen 32,768 MHz Quarzoszillator angebunden ist, ausgangsseitig durch Vervierfachung das 416 MHz Clocksignal für den DDS liefert, als auch durch Teilung das 52 MHz Referenzsignal für die PLL2-Loop.

Die Schaltung wird auf 2 Platinen im aktuellen Bavarix-Format von ca. 155x90 mm aufgeteilt. Aus Platzgründen wird der DDS der Clockaufbereitung zugeschlagen. Die gewählte Trennung ist auch für denkbare Modifikationen sinnvoll (z. B. andere Taktaufbreitung und/oder bessere DDS-Bauteile).

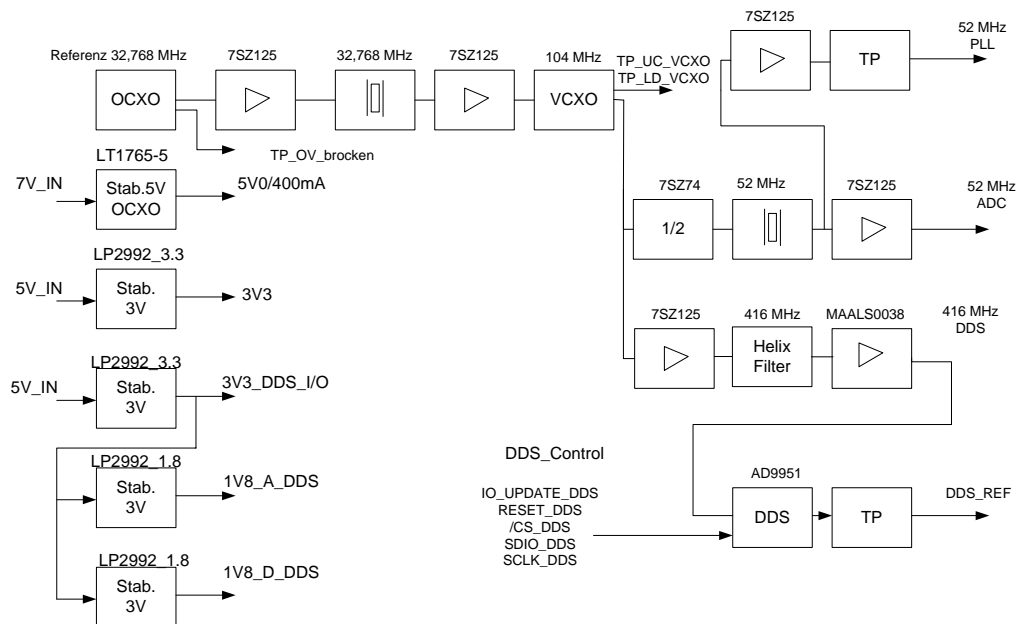
Zum besseren Verständnis wird der eigentliche Synthesizer in 2 Blöcke aufgeteilt, was auch dem Aufbau in 2 getrennten Schirmkästchen entspricht. PLL1 zeigt die Haupt-PLL. Das VCO-Ausgangssignal wird über einen Splitter einerseits dem Ausgangsteiler zugeführt, andererseits über den Mischer dem PLL-Baustein. Als Referenz dient das DDS-Ausgangssignal.

Die PLL2-Schleife dient als LO-Signal für den Mischer und wird nach je nach Wahl der Referenz mit 13 MHz oder 10,4 MHz gerastet. Die wahlweise Einstellung ist für den Betrieb nicht notwendig, aber für Versuche durchaus sinnvoll.

Es ist darauf zu achten dass der PLL-Baustein vom Mischer immer die richtige Kehrnlage des Mischproduktes erhält, um die Regelschleife stabil zuhalten. VCO1 muss oberhalb von VCO2 sein, deshalb wird die Regelspannung über einen DAC (digital analog Converter) bei Frequenzwechsel voreingestellt.

2. Clock-Aufbereitung

2.1. Blockdiagramm Clock-Aufbereitung



BAVARIX LCKL

2.2. Funktionbeschreibung

Das Blockschaltbild zeigt die einzelnen Stufen im Details, insbesondere die aufwendige rauscharme Spannungsstabilisierung und verwendeten Halbleiter. Das Weitabrauschen der Quarzoszillatoren wird mit zusätzlichen Quarzfiltern verbessert.

Die Vervielfachung erfolgt mit einem UHS-Buffer (Ultra high speed), die Filterung der 3. Harmonischen mit einem Helixfilter erfolgt 2-fach.

2.3. Schnittstellen

2.3.1. Analoge Schnittstellen

Name	Art	Funktion	Pegel
7V_IN	Eingang	Sp.-Versorgung	DC
5V_IN	Eingang	Sp.-Versorgung	DC
52MHz_PLL	Ausgang	HF-Signal Koax	3 dBm
52MHz_ADC	Ausgang	HF-Signal Koax	3V CMOS
DDS_REF	Ausgang	HF-Signal Koax	3 dBm
TP_UC_VCXO	Ausgang	Control VCXO	DC

2.3.2. Digitale Schnittstellen

Name	Art	Funktion	Pegel
IOUPDATE_DDS	Eingang	DDS Control	CMOS
RESET_DDS	Eingang	DDS Control	CMOS
/CS_DDS	Eingang	DDS Control	CMOS
SDIO_DDS	Eing/Ausg	DDS Control	CMOS
SCLK_DDS	Eingang	DDS_Control	CMOS
TP_OV_brocken	Ausgang	OCXO Oven Control	CMOS
TP_LD_VCXO	Ausgang	Lock Detect	CMOS

2.3.3. DDS Interface

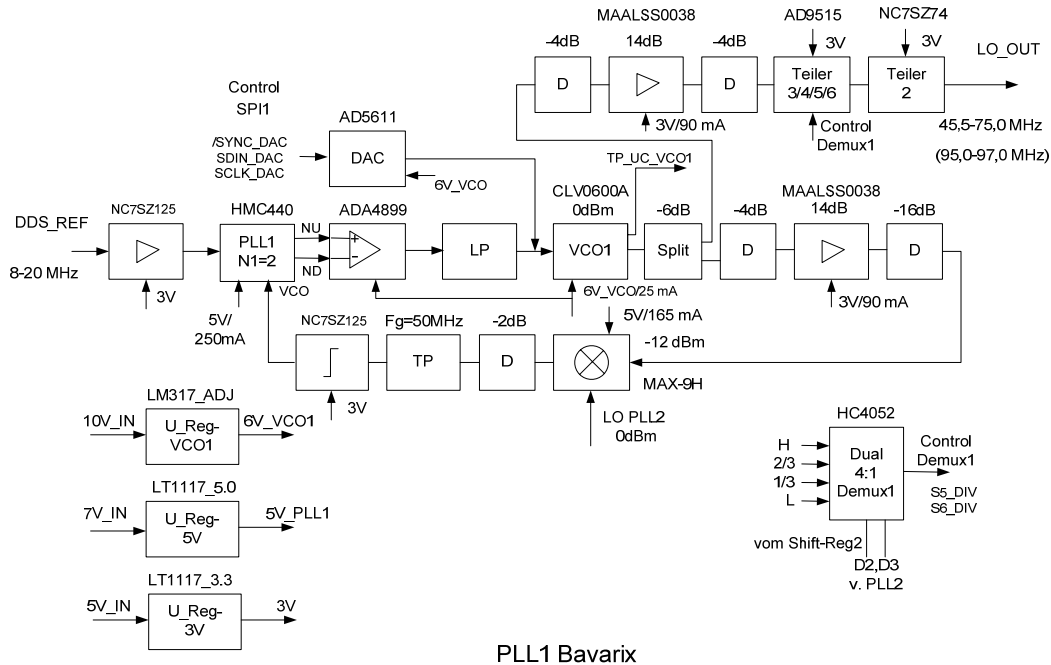
Der DDS-Baustein besitzt einen seriellen Schieberegistereingang SDIO_DDS mit 6 Register zu 24 Bit. Diese Leitung kann auch als Ausgang benutzt werden.

Die Daten werden mit dem Clock-Signal SCLK_DDS geschoben und mit IOUPDATE_DDS ins Controlregister übernommen.

Name	Adresse	Funktion
Control Function Register 1	0	DDS Control
Control Function Register 2	1	DDS Control
Amplitude Scale Factor	2	Not used
Amplitude Ramp Rate	3	Not used
Frequency Tuning Word	4	Frequency_Control
Phase Offset Word	5	Not used

3. PLL 1

3.1. Blockdiagramm PLL 1



3.2. Funktionbeschreibung

Kern der PLL ist ein sehr rauscharmer analoger Phasen-Frequenz-Diskriminator HMC440 von Hittite, dessen N-Teiler fest auf 2 voreingestellt ist. Auf Grund der symmetrischen Ausgangskonfiguration der Charge-Pump wird das Loopfilter ebenfalls symmetrisch ausgeführt. Die Eingangssignale sowohl vom DDS-Baustein als auch vom Mischer werden mit Bufferverstärker versteilert. Im geregelten Zustand beträgt die Ausgangsfrequenz des Mixers die 2-fache Referenzfrequenz des DDS-Signals. Das Ausgangssignal des VCO's gelangt über einen Teiler und maßvoller Verstärkung zum Ausgangsteiler und zum RF-Eingang des Mixers. Der Ausgangsteiler setzt sich aus dem variablen Teiler und einen festen Teiler durch 2 zusammen, damit ist ein Duty Cycle von 50 % gewährleistet. Die Steuerung des variablen Teilers AD515 erfolgt mit den Signalen S5_DIV und S6_DIV, die jeweils 4 Zustände annehmen können (0V, 1/3 VCC, 2/3 VCC und VCC). Die Auswahl erfolgt für jedes Signal über einen 4:1 Demultiplexer, der wiederum von den Datensignalen D2 und D3 vom Schieberegister SR2 gesteuert wird.

Bei einem Frequenzwechsel mit großen Sprüngen muss sicher gestellt sein, dass die VCO1 Ausgangsfrequenz immer höher als die von VCO2 ist. Dies soll ein 12 Bit DA-Wandler in der Zeit der Teilerumprogrammierung vornehmen. Über einen seriellen 3-Leiter Bus erfolgt die Programmierung mit 16 Bit. Zu Kontrollzwecken kann die VCO1 Steuerspannung bzw. auch

die DA-Ausgangsspannung mit dem Microcontroller überwacht werden (TP_UC_VCO1).

Linearregler stellen die Spannungsversorgung für VCO, PLL und Verstärker bereit, wobei wiederum auf gute Siebung geachtet wird.

3.3. Schnittstellen

3.3.1. Analoge Schnittstellen

Name	Art	Funktion	Pegel
10V_IN	Eingang	Sp.-Versorgung	DC
7V_IN	Eingang	Sp.-Versorgung	DC
5V_IN	Eingang	Sp.-Versorgung	DC
DDS_REF	Eingang	HF-Signal Koax	3 dBm
LO_PLL2	Eingang	HF-Signal Ltg.	0 dBm
LO_OUT	Ausgang	HF-Signal Koax	3V CMOS
TC_UC_VCO1	Ausgang	Control VCO1	DC

3.3.2. Digitale Schnittstellen

Name	Art	Funktion	Pegel
/SYNC_DAC	Eingang	DAC Control	CMOS
SDIN_DAC	Eingang	DAC Control	CMOS
SCLK_DAC	Eingang	DAC Control	CMOS
SR_D2	Eingang	Demux2 Control A	CMOS
SR_D3	Eingang	Demux2 Control B	CMOS
TP_LD_VCXO	Ausgang	Lock Detect	CMOS

3.3.3. Steuerung Ausgangsteiler AD515

Nach Datenblatt AD515

Teilerfaktor	S5	S6	S7
3	2/3	0	0
4	1	0	0
5	0	1/3	0
6	1/3	1/3	0

Es werden die Teilerfaktoren 3 bis 6 eingestellt. Die Steuerung von S5 und S6 erfolgt über den dualen 4:1 Demultiplexer Demux1.

Die anderen Steuerbits S0-S4 und S7-S10 sind fest verdrahtet

Steuereingang	Log. Pegel	Funktion
S0	Low	Delay Bypass
S1	High	OUT1 CMOS
S2	Low	OUT0 off
S3	High	OUT0 off
S4	Low	OUT0 off
S7	Low	Siehe Tabelle oben
S8	Low	No Phase
S9	Low	No Phase
S10	Low	No Phase

3.3.4. Steuerung Demux1 Ausgangsteiler

Die Adresseingänge von Demux1 werden vom Schieberegister 2 gesteuert.

Mux 1

Datenbit D3	Datenbit D2	Teilerfaktor	Mux 1 Eingang X	S5_DIV
0	0	3	Ref_DIV	2/3
0	1	4	H	1
1	0	5	L	0
1	1	6	open	1/3

Mux 2

Datenbit D3	Datenbit2	Teilerfaktor	Mux 1 Eingang Y	S6_DIV
0	0	3	0	0
0	1	4	0	0
1	0	5	open	1/3
1	1	6	open	1/3

3.3.5. Steuerung DA-Wandler

Der DA-Wandler AD5611 hat ein 16-Bit Datenformat. Die Datenbits 14 und 15 ergeben den Power Down Modus.

MSB**LSB**

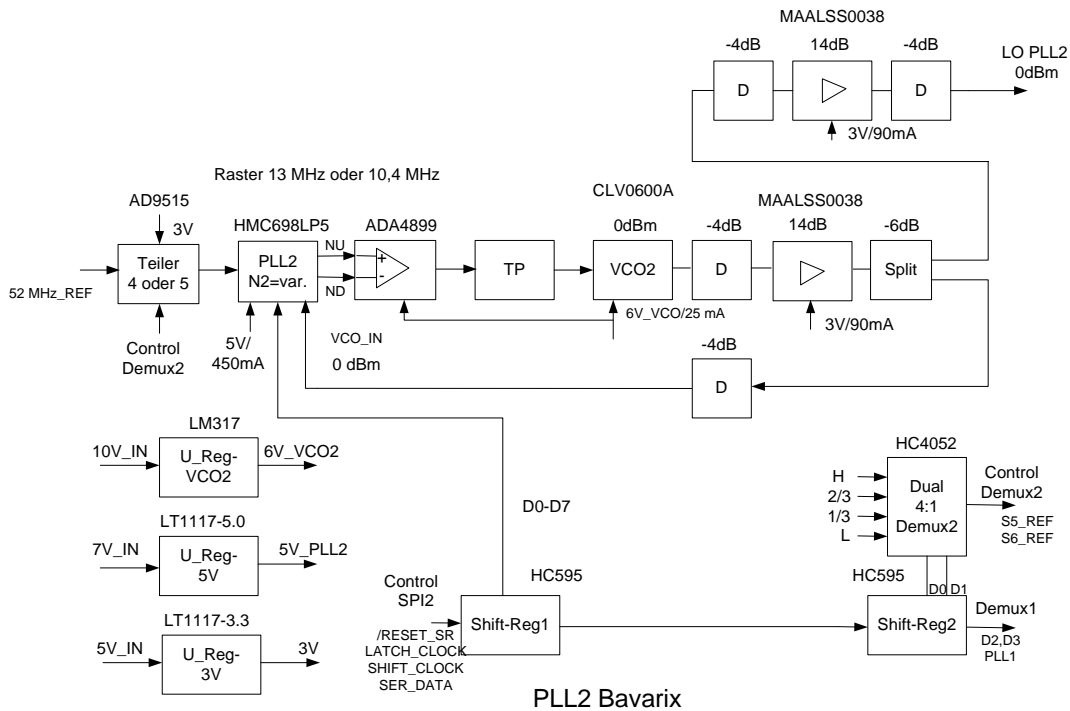
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
PD1	PD0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	x	x

Power Down Modus

Datenbit PD1	Datenbit PD0	Bedeutung
0	0	Normal Operation
0	1	1k to GND
1	0	100 K to GND
1	1	Three-state

4. PLL 2

4.1. Blockdiagramm PLL 2



4.2. Funktion

Dieser Schaltungsteil erzeugt für den Bavarix-Synthesizer das LO-Signal für den Mischer in PLL1 in 13 oder 10,4 MHz Rasterschritten. Auch hier wird ein PLL-Baustein (HMC698LP5) von Hittite eingesetzt, der einen einstellbaren N-Teiler von 12 bis 259 integriert hat. Die Steuerung erfolgt über 7 Bit aus dem Register 1. Ähnlich wie PLL1 ist auch der weitere Aufbau. Das symmetrische Loopfilter liefert die Steuerspannung für den VCO. Die Referenz für den Phasen-Frequenz-Diskriminator liefert der einstellbare Teiler AD515, der seine Steuersignale S5_REF und S6_REF vom Demultiplexer 2 erhält.

Das Ausgangssignal des VCO's wird verstärkt und über den Splitter aufgeteilt. Ein Signalzweig gelangt zum VCO-Eingang des PLL-Bausteins, während der andere Zweig über einen weiteren Verstärker und Dämpfungsglieder das LO-Signal für den Mischer bereitstellt.

Auch hier sorgen getrennte Spannungsregler für VCO und PLL eine gute Entkopplung und rauscharme Versorgung.

4.3. Schnittstellen

4.3.1. Analoge Schnittstellen

Name	Art	Funktion	Pegel
10V_IN	Eingang	Sp.-Versorgung	DC
7V_IN	Eingang	Sp.-Versorgung	DC
5V_IN *	Eingang	Sp.-Versorgung	DC
52MHz_REF	Eingang	HF-Signal Koax	3 dBm
LO_PLL2	Ausgang	HF-Signal Leitg	0 dBm

* Identisch wie bei PLL1

4.3.2. Digitale Schnittstellen

Name	Art	Funktion	Pegel
/RESET_SR	Eingang	SR Control	CMOS
LATCH_CLOCK	Eingang	SR Control	CMOS
SHIFT_CLOCK	Eingang	SR Control	CMOS
SER_DATA	Eingang	SR Control	CMOS
PLL2_LD	Ausgang	PLL1 Lock Detect	digital

4.3.3. Steuerung Demux2 Referenzteiler

Nach Datenblatt AD515

Teilerfaktor	S5	S6	S7
3	2/3	0	0
4	1	0	0
5	0	1/3	0
6	1/3	1/3	0

Es werden nur die Teilerfaktoren 4 oder 5 verwendet. Die Steuerung von S5 und S6 erfolgt über den dualen 4:1 Demultiplexer Demux2.

Die anderen Steuerbits S0-S4 und S7-S10 sind fest verdrahtet

Steuereingang	Log. Pegel	Funktion
S0	Low	Delay Bypass
S1	High	OUT1 CMOS
S2	Low	OUT0 off
S3	High	OUT0 off
S4	Low	OUT0 off
S7	Low	Siehe Tabelle oben
S8	Low	No Phase
S9	Low	No Phase
S10	Low	No Phase

Die Adresseingänge von Demux2 werden vom Schieberegister 2 gesteuert.

Datenbit D1	Datenbit D0	Teilerfaktor	Mux 2 Eingang X	S5_REF
0	0	3	Ref_DIV	2/3
0	1	4	H	1
1	0	5	L	0
1	1	6	open	1/3

Datenbit D1	Datenbit D0	Teilerfaktor	Mux 2 Eingang Y	S6_REF
0	0	3	L	0
0	1	4	L	0
1	0	5	open	1/3
1	1	6	open	1/3

4.3.4. Steuerung N-Teiler HMC698LP5

Zusammenhang Schieberegister 1 und Steuerbits HMC698LP5

LSB first

D7	D6	D5	D4	D3	D2	D1	D0
N5	N4	N3	N2	N1	N0	S1	S0
QA	QB	QC	QD	QE	QF	QG	QH

4.3.5. Steuerung Mux1 und Mux2

Zusammenhang Schieberegister 2 und Steuerbits Demux1 und Demux2

Demux 1 steuert den programmierbaren Ausgangsteiler in PLL1

Demux 2 steuert den programmierbaren Referenzteiler in PLL2

LSB first

D7	D6	D5	D4	D3	D2	D1	D0
B1	A1	B2	A2				
QA	QB	QC	QD	QE	QF	QG	QH

5. Programmierung Bavarix Synthesizer

5.1. Programmierung allgemein

Will man den Synthesizer in 1-MHz Schritten abstimmen ergibt sich für den DDS folgende Frequenzgrenzen:

Wenn $N=2$ (N-Teiler im HMC698) und M der Ausgangsteiler ist, gilt :

$$F_OUT_SYNTH = (F_PLL2 + N * F_DDS) / M$$

oder für den DDS

$$F_DDS = (F_OUT_SYNTH * M - F_PLL2) / N$$

Folgende Tabellen ergeben einen Überblick über alle einzustellenden Variablen:

5.1.1 Tabelle für 13 MHz Rasterfrequenz

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N_PLL2	F_PLL2	F_DDS_min	F_DDS_max
45	46	14	13	2	47	611	9,5	16,5
46	47	14	13	2	48	624	10	17
47	48	14	13	2	49	637	10,5	17,5
48	49	14	13	2	50	650	11	18
49	50	14	13	2	51	663	11,5	18,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N_PLL2	F_PLL2	F_DDS_min	F_DDS_max
49	50	12	13	2	43	559	14,5	20,5
50	51	12	13	2	44	572	14	20
51	52	12	13	2	45	585	13,5	19,5
52	53	12	13	2	46	598	13	19
53	54	12	13	2	47	611	12,5	18,5
54	55	12	13	2	48	624	12	18
55	56	12	13	2	49	637	11,5	17,5
56	57	12	13	2	50	650	11	17
57	58	12	13	2	51	663	10,5	16,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
59	60	10	13	2	43	559	15,5	20,5
60	61	10	13	2	44	572	14	19
61	62	10	13	2	45	585	12,5	17,5
62	63	10	13	2	46	598	11	16
63	64	10	13	2	47	611	9,5	14,5
64	65	10	13	2	48	624	8	13
65	66	10	13	2	48	624	13	18
66	67	10	13	2	49	637	11,5	16,5
67	68	10	13	2	50	650	10	15
68	69	10	13	2	51	663	8,5	13,5

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
69	70	8	13	2	41	533	9,5	13,5
70	71	8	13	2	41	533	13,5	17,5
71	72	8	13	2	42	546	11	15
72	73	8	13	2	43	559	8,5	12,5
73	74	8	13	2	43	559	12,5	16,5
74	75	8	13	2	44	572	10	14

Gelb hinterlegt bedeutet eine keine Änderung des N-PLL2 Teilers

Erweiterung für 6m-Band (50-54 MHz)

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
95	96	6	13	2	42	546	12	15
96	97	6	13	2	43	559	8,5	11,5
97	98	6	13	2	43	559	11,5	14,5
98	99	6	13	2	44	572	8	11

5.1.2 Tabelle für 10,4 MHz Rasterfrequenz

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
45	46	14	10,4	2	59	613,6	8,2	15,2
46	47	14	10,4	2	60	626,6	8,7	15,7
47	48	14	10,4	2	61	639,6	9,2	16,2
48	49	14	10,4	2	62	652,6	9,7	16,7
49	50	14	10,4	2	63	665,6	10,2	17,2

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
45	46	12	10,4	2	50	520	10	16
46	47	12	10,4	2	51	530,4	10,8	16,8
47	48	12	10,4	2	52	540,8	11,6	17,6
48	49	12	10,4	2	53	551,2	12,4	18,4
49	50	12	10,4	2	54	561,6	13,2	19,2
50	51	12	10,4	2	55	572	14	20
51	52	12	10,4	2	56	582,4	14,8	20,8
52	53	12	10,4	2	58	603,2	10,4	16,4
53	54	12	10,4	2	59	613,6	11,2	17,2
54	55	12	10,4	2	60	624	12	18
55	56	12	10,4	2	61	634,4	12,8	18,8
56	57	12	10,4	2	62	644,8	13,6	19,6

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
57	58	10	10,4	2	53	551,2	9,4	14,4
58	59	10	10,4	2	54	561,6	9,2	14,2
59	60	10	10,4	2	55	572	9	14
60	61	10	10,4	2	56	582,4	8,8	13,8
61	62	10	10,4	2	57	592,8	8,6	13,6
62	63	10	10,4	2	58	603,2	8,4	13,4
63	64	10	10,4	2	59	613,6	8,2	13,2
64	65	10	10,4	2	60	624	8	13
65	66	10	10,4	2	61	634,4	7,8	12,8
66	67	10	10,4	2	62	644,8	7,6	12,6
67	68	10	10,4	2	63	655,2	7,4	12,4
68	69	10	10,4	2	64	665,6	7,2	12,2

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
69	70	8	10,4	2	51	530,4	10,8	14,8
70	71	8	10,4	2	52	540,8	9,6	13,6
71	72	8	10,4	2	53	551,2	8,4	12,4
72	73	8	10,4	2	54	561,6	7,2	11,2
73	74	8	10,4	2	54	561,6	11,2	15,2
74	75	8	10,4	2	55	572	10	14

Erweiterung für das 6m-Band (50-54 MHz)

F_OUT_min	F_OUT_max	M	STEP	N_PLL1	N-PLL2	F_PLL2	F_DDS_min	F_DDS_max
95	96	6	10,4	2	53	551,2	9,4	12,4
96	97	6	10,4	2	53	551,2	12,4	15,4
97	98	6	10,4	2	54	561,6	10,2	13,2
98	99	6	10,4	2	55	572	8	11

5.2 Programmierung HMC698LP5

Die Programmierung des N-Teilers erfolgt nach der Formel

$$F_OUT = N * F_REF \quad \text{mit} \quad N=4B+A$$

Einzustellen ist B-1 und A, entsprechend N[5..0] und S[1..0].

5.1.1 Programmierung für Raster 13 MHz

Für eine Referenzfrequenz von 13 MHz ergibt sich folgende Tabelle:

N	R_REF	F_OUT	B	B-1	A	B-1_Hex	A_Hex
40	13	520	10	9	0	9	0
41	13	533	10	9	1	9	1
42	13	546	10	9	2	9	2
43	13	559	10	9	3	9	3
44	13	572	11	10	0	A	0
45	13	585	11	10	1	A	1
46	13	598	11	10	2	A	2
47	13	611	11	10	3	A	3
48	13	624	12	11	0	B	0
49	13	637	12	11	1	B	1
50	13	650	12	11	2	B	2
51	13	663	12	11	3	B	3
52	13	676	13	12	0	C	0
53	13	689	13	12	1	C	1

5.1.2 Programmierung für Raster 10,4 MHz

Für eine Referenzfrequenz von 10,4 MHz ergibt sich folgende Tabelle

N	R_REF	F_OUT	B	B-1	A	B-1_Hex	A_Hex
50	10,4	520	12	11	2	B	2
51	10,4	530,4	12	11	3	B	3

52	10,4	540,8	13	12	0	C	0
53	10,4	551,2	13	12	1	C	1
54	10,4	561,6	13	12	2	C	2
55	10,4	572	13	12	3	C	3
56	10,4	582,4	14	13	0	D	0
57	10,4	592,8	14	13	1	D	1
58	10,4	603,2	14	13	2	D	2
59	10,4	613,6	14	13	3	D	3
60	10,4	624	15	14	0	E	0
61	10,4	634,4	15	14	1	E	1
62	10,4	644,8	15	14	2	E	2
63	10,4	655,2	15	14	3	E	3
64	10,4	665,6	16	15	0	F	0
65	10,4	676	16	15	1	F	1

5.2 Programmierung Referenz-Teiler

Der Referenzteiler liefert für PLL2 die Referenzfrequenz.

Datenbit D1	Datenbit D0	Teilerfaktor
0	0	3
0	1	4
1	0	5
1	1	6

5.3 Programmierung Ausgangsteiler

Der Ausgangsteiler teilt die PLL1 Ausgangsfrequenz auf die gewünschte LO-Frequenz.

Datenbit D3	Datenbit D2	Teilerfaktor
0	0	3
0	1	4
1	0	5
1	1	6

5.4 Zusammenfassung Schieberegister 1 und 2

Ingesamt werden 12 Bit benötigt

D[11:6] N-Teiler HMC698LP5 Teil B-1_hex

D[5:4] S-Teiler HMC698LP5 Teil A_hex

D[3:2] Teiler Ausgangsteiler Demux1

D[1:0] Teiler Referenzfrequenzteiler Demux 2

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
N5	N4	N3	N2	N1	N0	S1	S0	B1	A1	B0	A0
QA	QB	QC	QD	QE	QF	QG	QH	QA'	QB'	QC'	QD'

5.5 Programmierung DDS